

10-비트 200MS/s CMOS 병렬 파이프라인 아날로그/디지털 변환기의 설계

정 강 민[†]

요 약

본 연구에서 매우 정밀한 샘플링을 필요로 하는 고해상도 비디오 응용면을 위하여 병렬 파이프라인 아날로그 디지털 변환기(ADC)를 설계하였다. 본 ADC의 구조는 4 채널의 10-비트 파이프라인 ADC를 병렬 time-interleave로 구성한 구조로서 이 구조에서 채널당 샘플링 속도의 4배인 200MS/s의 샘플링 속도를 얻을 수 있었다. 변환기에서 핵심이 되는 구성요소는 Sample and Hold 증폭기(SHA), 비교기와 연산증폭기이며 먼저 SHA를 전단에 설치하여 시스템 타이밍 요구를 완화시키고 고속변환과 고속 입력신호의 처리를 가능하게 하였다. ADC 내부 단들의 1-비트 DAC, 비교기 및 2-이득 증폭기는 한 개의 switched 캐패시터 회로로 통합하여 고속동작은 물론 저전력소비가 가능한 특성을 갖도록 하였다. 본 연구의 연산증폭기는 2단 차동구조에 부저항소자를 사용하여 높은 DC 이득을 갖도록 보강하였다. 본 설계에서 각 단계 D-플립플롭(D-FF)을 사용한 지연회로를 구성하여 변환시 각 비트신호를 정렬시켜 타이밍 오차를 최소화하였다. 본 변환기는 3.3V 공급전압에서 280mW의 전력소비를 갖고 DNL과 INL은 각각 +0.7/-0.6LSB, +0.9/-0.3LSB이다.

The Design of 10-bit 200MS/s CMOS Parallel Pipeline A/D Converter

Kang-Min Chung[†]

ABSTRACT

This paper introduces the design of parallel pipeline high-speed analog-to-digital converter(ADC) for the high-resolution video applications which require very precise sampling. The overall architecture of the ADC consists of 4-channel parallel time-interleaved 10-bit pipeline ADC structure allowing 200MSample/s sampling speed which corresponds to 4-times improvement in sampling speed per channel. Key building blocks are composed of the front-end sample-and-hold amplifier(SHA), the dynamic comparator and the 2-stage full differential operational amplifier. The 1-bit DAC, comparator and gain-2 amplifier are used internally in each stage and they were integrated into single switched capacitor architecture allowing high speed operation as well as low power consumption. In this work, the gain of operational amplifier was enhanced significantly using negative resistance element. In the ADC, a delay line is designed for each stage using D-flip flops to align the bit signals and minimize the timing error in the conversion. The converter has the power dissipation of 280mW at 3.3V power supply. Measured performance includes DNL and INL of +0.7/-0.6LSB, +0.9/-0.3LSB.

키워드 : 파이프라인 아날로그 디지털변환기(ADC)

1. 서 론

고해상도, 고속 비디오기에 사용되는 ADC에서 적어도 8-비트의 해상도와 40MSample/s 이상의 변환율이 요구된다. 전형적인 플래쉬구조를 사용하면 1Gsample/s 이상의 매우 높은 변환율[1]을 얻을 수 있지만 큰 칩 면적과 많은 전력소비의 문제점에 당면한다. Folding and Interpolating ADC의 경우, 동작속도는 고속이지만 내부 풀딩올에 의해

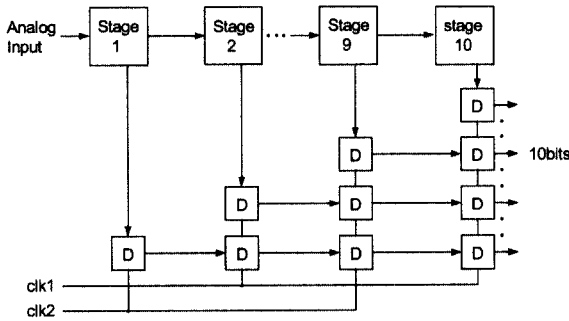
입력신호의 대역폭이 제한 받는다는 단점을 가지고 있다 [2]. 현재 ADC의 설계에서 이러한 요구들을 양호하게 만족시킬 수 있는 방식은 파이프라인 ADC이며 이에 대해 많은 연구들이 수행되어 왔다[3-6]. 파이프라인 ADC에서 단 당 변환 비트 수가 최소화되면 전력소비가 감소한다. 그러므로 단 당 1-비트를 변환하면 고속 저전력 ADC 설계에 적절하다[7]. 이 경우 ADC의 정확도는 비교기 정확도, 연산증폭기의 유한한 이득, 캐패시터의 정합에 좌우된다. 반면에 단 당 multi-비트를 변환하면 고해상도 ADC를 구현할 수 있다. 이 경우 단 당 비트수가 커지면 많은 비교기 사용과 입

[†] 정 회 원 : 성균관대학교 정보통신공학부 교수
논문접수 : 2003년 9월 29일, 심사완료 : 2004년 1월 26일

력신호에 대해 각 단에서 출력된 디지털 신호는 시간차이가 있기 때문에 완전한 출력을 얻기 위해서 먼저 출력된 디지털 신호를 저장하는 레지스터가 필요하다.

2.3 제안된 파이프라인 ADC

(그림 2.3)에 본 병렬 파이프라인 ADC의 구조를 보였다. 이 구조는 두 개의 클럭으로 제어되며 홀수단들이 샘플할 때 짝수단들이 홀드함으로써 주어진 입력 샘플에 대한 출력값은 1/2 클럭 사이클 간격으로 발생된다. 즉 첫 번째 단에서 출력값이 준비될 때 두 번째 단의 출력 값은 1/2 클럭 사이클 이후에 준비된다. 이와 같이 모든 블록들이 연속적인 입력신호에 대해 연속적으로 출력을 생성하므로 위에 언급한 기존의 구조에 비하여 두 배의 빠른 동작특성을 나타낸다.



(그림 2.3) 제안된 파이프라인 ADC 구조

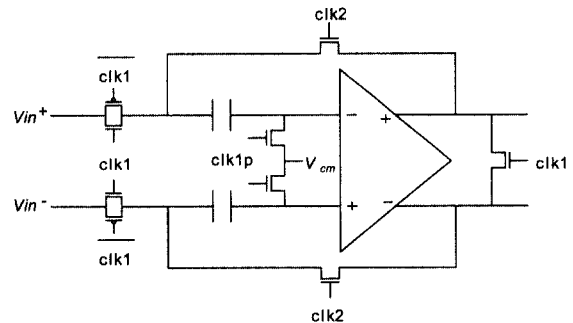
기존의 구조는 단 내에서 분리된 1-비트 ADC, 1-비트 DAC, 2-비트 증폭기를 사용하고 있는데 반하여 본 구조에서는 이들을 한 개의 switched 캐패시터 회로로 통합하여 구조의 간단화 및 이에 따른 고속, 저전력설계가 가능하도록 하였다. 각 단에서 출력된 디지털 코드의 전송을 D-FF으로 지연제어하여, 최종 출력단에서 아날로그 입력 샘플에 대한 10-비트의 출력코드를 연속적으로 타이밍 오차 없이 얻을 수 있도록 하였다. 아래에 본 time-interleave 병렬 파이프라인 ADC의 단 구조 및 구성회로들을 상세히 설명하였다.

3. 병렬 파이프라인 ADC 구성회로

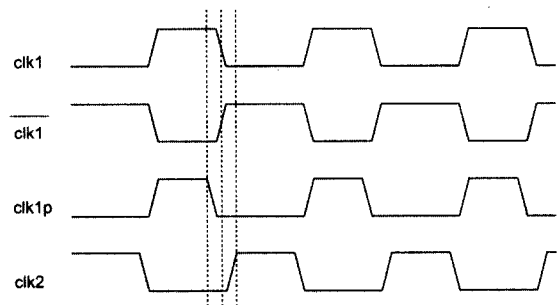
3.1 Sample and hold 증폭기(SHA)

아날로그 입력신호를 받아들이는 S/H 회로는 이산시간 시스템에서 중요한 역할을 한다. 만약 S/H 회로가 없다면 아날로그 입력신호는 양자화된 아날로그 신호를 출력하는 시간 동안에도 계속 변하므로 정확한 잔류(residue) 전압을 출력하지 못한다. 그리고 잔류전압의 변화는 입력주파수가

높을수록 크다. S/H 회로를 사용하지 않는 경우, 잔류전압의 변화를 최소화하여 LSB 값에 영향을 주지 않으려면 아날로그 입력신호의 최대변화는 입력신호가 파이프라인 첫 단을 통과하는 시간 동안 ADC의 1LSB 보다 작아야 한다 [10]. 결국 아날로그 신호의 최대 입력주파수는 제한된다. 이러한 이유로 빠른 변환에는 S/H 회로가 반드시 필요하다. (그림 3.1)에 본 ADC의 SHA를 도시하였다. 이의 작동은 (그림 3.2)의 pseudo-2상 클럭들이 제어한다. 본 회로는 clk1의 샘플링 phase에서 입력을 샘플링하고 clk2의 홀드 phase에서 출력을 저장한다. 본 회로에 새로운 설계를 두 가지 채택하였다. 먼저 출력에 clk1을 사용하여 샘플링 phase에서 출력을 등화하였다. 또한 연산증폭기의 입력에 clk1p를 사용하여 증폭기의 공통모드 입력이 임의의 V_{cm} 으로 바이어스 되도록 하였다(통상 $0.5 V_{dd}$). Sample-to-hold 안정시간은 신호가 최종 출력값의 규정된 오차범위 내로 정착하는 시간이다. 이 안정시간이 길어지면 연산증폭기 출력이 클럭속도를 따라가지 못하므로 이는 바로 출력에러와 연결된다. 이러한 에러를 감소시키려면 연산증폭기 제어클럭의 하강천이가 clk1보다 약간 더 먼저 일어나야 하므로 이 목적에 clk1p를 사용하였다.



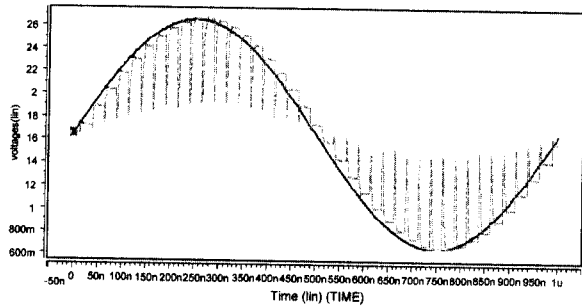
(그림 3.1) Sample and hold 증폭기



(그림 3.2) Pseudo-2상 클럭 타이밍 다이어그램

이 pseudo-2상 클럭방식은 매우 간단하므로 6개의 클럭 (파이프라인단에 4상 + S/H에 2상)을 사용하는 [9]의 클럭방식에 비해 클럭버퍼설계의 단순화 및 클럭신호배선의 용이

성면에 이점을 갖는다.



(그림 3.3) Sample and hold 증폭기의 출력파형

(그림 3.3)에 주파수 1 MHz, V_{p-p} 전압 2V인 정현입력에 대한 S/H 회로의 출력파형을 보였다. 본 회로의 전력소비는 8.28 mW로 측정되었다.

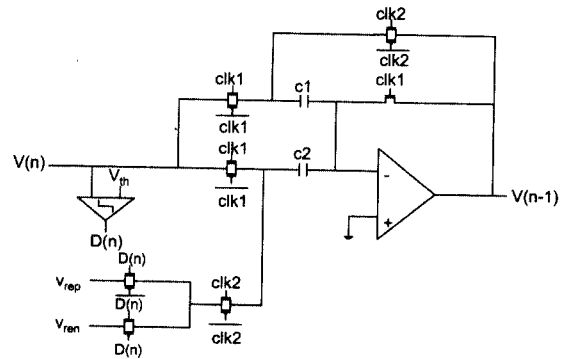
3.2 Switched 캐패시터 파이프라인 stage

(그림 3.4)에 파이프라인 내의 1-비트 단의 구조를 도시하였다[8]. 이 구조에서는 2-이득 증폭기, 1-비트 DAC, 비교기(1-비트 ADC), 아날로그 뿔샘기를 하나의 switched 캐패시터 회로로 통합, 설계함으로써 빠른 동작속도 및 저전력소비를 입력신호를 처리할 수 있도록 하였다. CMOS 스위치를 사용하여 입력신호의 전체 전압범위에 걸쳐 선형적인 응답을 얻고, 클럭 feed-through 에러를 최소화하였다. 본 연구에서 단 당 1-비트 변환을 구현하였다. 이 경우 ADC의 정확도는 비교기 정확도, 연산증폭기의 유한한 이득에 좌우된다. 따라서 이들을 개선하기 위한 방법이 요구된다. 반면에 단 당 multi-비트 변환시 전력소비 증가와 비교기 오프셋에 인한 선형성의 문제가 발생하며 고해상도 ADC의 경우 에러보정회로를 필요로 한다. 전통적인 1.5-비트/단의 구현은 [9]에 소개되었다.

(그림 3.4)에서 비교기는 단으로 들어오는 아날로그 입력과 threshold 전압 V_{th} 와의 차이를 감지해내며, 1-비트 DAC는 스위치들의 쌍으로 형성된다. 이들 스위치들은 두 개의 기준전압인 V_{rep} 와 V_{ren} 중의 하나를 출력과 연결시키는 기능을 수행한다.

ADC에서 분석가능한 신호범위는 입력의 범위로 정의되며 파이프라인 ADC에서는 임의의 단의 분석가능한 입력범위가 전체 ADC의 분석 가능한 입력범위가 된다. 이상적인 경우 출력에 $\pm 0.5LSB$ 내의 에러가 존재한다.

각 파이프라인 단 내의 2-이득 증폭기는 파이프라인 알고리즘을 수행하는 필수적인 역할을 담당하며 정확하게 정합된 이득결정소자(예 : 캐패시터)와 고이득 연산증폭기를 필요로 한다.



(그림 3.4) Switched 캐패시터 1-비트 파이프라인 단

(그림 3.4)의 구성 요소인 두 개의 동일한 캐패시터 C_1 과 C_2 , 연산증폭기, 비교기는 전형적인 변환 싸이클에서 다음과 같이 동작한다. sampling phase clk1에서 파이프라인의 n 번째 단으로의 입력 $V(n)$ 이 C_1 과 C_2 에 샘플되며, 이 phase의 끝 지점에서 비교기는 입력범위의 중간전압인 V_{th} 와 비교를 수행한다. 이 전압은 비교기의 threshold 전압이며 다음과 같이 정의된다[8].

$$V_{th} = (V_{rep} + V_{ren}) / 2 \quad (1)$$

V_{rep} , V_{ren} 은 입력 차동전압이 (+), (-)일 때의 기준전압이다. 그러므로 비교기의 디지털 출력 $D(n)$ 은 $V(n)$ 의 값에 따라

$$D(n) = '1', \text{ if } V(n) \geq V_{th} \quad (2)$$

$$D(n) = '0', \text{ if } V(n) \leq V_{th} \quad (3)$$

의 값이 발생된다.

그리고 multiply, subtract phase clk2에서 C_2 의 아래 극판이 V_{rep} 또는 V_{ren} 의 기준전압과 연결될 때 C_1 의 아래 극판은 연산증폭기의 출력과 연결된다. 만일 단 내의 모든 소자들이 이상적으로 구성되었다면 단의 출력전압은 아래와 같다.

$$V(n-1) = 2V(n) - D(n)V_{rep} - \overline{D(n)}V_{ren} \quad (4)$$

여기에서 $D(n) = '1'$ 이면, 다음 단은 $2V(n) - V_{rep}$ 의 출력전압을 샘플하며, $D(n) = '0'$ 이면, $2V(n) - V_{ren}$ 의 출력전압을 샘플한다. 이와 동일한 동작이 연속적으로 파이프라인 단계에 대해 수행되며, 이러한 방식으로 디지털 출력비트들은 MSB와 LSB를 구성한다.

3.3 이득보강(Gain Enhanced) 연산증폭기

파이프라인 단 내에 사용되어진 연산증폭기를 (그림 3.5)에 나타내었다. SHA의 양호한 선형성, 2-이득 증폭기의 정확한 작동 및 10-비트의 해상도를 얻기 위하여 연산증폭기

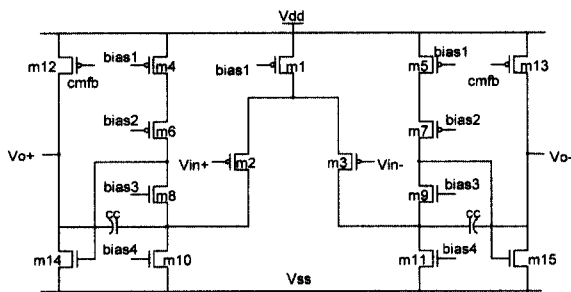
는 높은 이득을 가져야 한다. 이를 위하여 연산증폭기를 2단 완전차동 구조로 설계하였다.

증폭기는 첫째 단에 folded 캐스코드 구조, 둘째 단에 공통 소오스 구조를 채택하여 DC 이득을 높이고, 출력스윙을 최대로 하였다. 그리고 캐스코드 보상을 통해 대역폭을 증가시켰다.

본 연산증폭기의 차동이득은

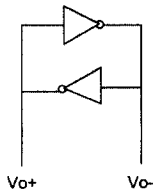
$$|A_v| = g_{m2} g_{m14} \{ [(g_{m8} + g_{mb8}) r_{o3} (r_{o2} \parallel r_{o10}) \parallel [(g_{m6} + g_{mb6}) r_{o7} \cdot r_{o9}]] r_{o14} \} \quad (5)$$

로 표현되며, SHA의 선형성과 10-비트 해상도의 양호한 특성을 얻으려면 이 이득은 70dB보다 커야 한다.



(그림 3.5) 2단 완전차동 연산증폭기

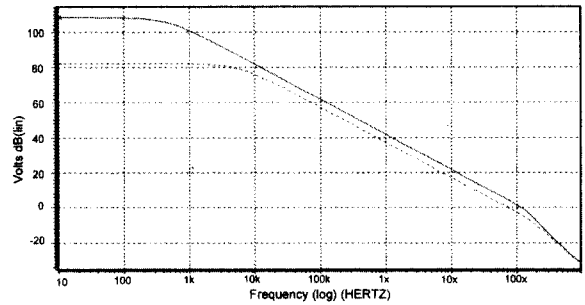
본 연산증폭기의 특징은 차동이득을 증가시키기 위해 부저항소자인 cross-coupled 인버터를 (그림 3.6)과 같이 차동 출력 Vo+와 Vo- 사이에 사용한 것이다. 부저항소자는 -Re의 저항값을 가지며 연산증폭기의 출력저항 Ro과 병렬연결할 경우 전체 출력저항은 -ReRo/(Ro-Re)이다. 따라서 Re를 Ro와 정합시키면 분모가 0에 가까운 값이 되며 출력저항은 매우 큰 값이 된다. 그러므로 차동이득이 매우 큰 값으로 증가한다. 이 방식에 의하여 차동이득을 초기설계값 82dB로부터 30dB 가까이 개선시킬 수 있었다. 그러나 이득이 너무 크게 증가하면 증폭기 출력이 래치하므로 적정 이득은 시뮬레이션에 의거하여 결정하였다. 설계된 연산증폭기의 사양은 DC 이득 108dB, 단위이득주파수 100MHz(부하 CL = 10pF), 위상여유 60도, 전력소비는 5.8mW이다.



(그림 3.6) cross-coupled 인버터로 구성된 부저항소자

(그림 3.7)에 전형적인 증폭기의 차동이득곡선을 보였다. 점선은 부저항소자를 사용하지 않은 경우이고 실선은 사용

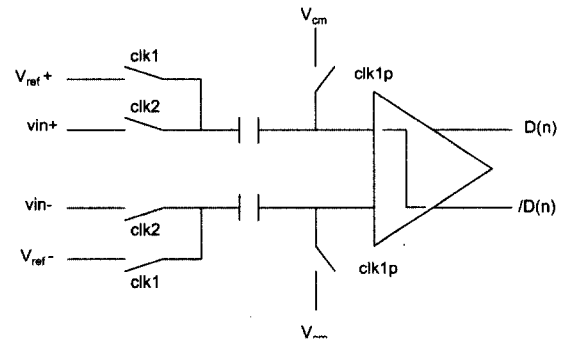
한 경우를 나타낸다. 단위이득주파수를 희생하지 않고 이득이 실질적으로 증가됨을 보인다. 이득보장은 [8]에서도 채용되었으나 regulated high-swing folded cascode amplifier 방식을 사용하여 출력단을 구동하는 방식이므로 연산증폭기의 구조가 복잡하고 이득보장용 트랜지스터의 수효는 본 연구의 4개에 비하여 32개가 필요하게 되는 단점이 있다.



(그림 3.7) 부저항소자를 사용한 차동이득의 개선

3.4 전차동 비교기

비교기의 스위칭 방식을 (그림 3.8)에 나타내었다. 전형적인 pre-amp+latch 구조에서 pre-amp를 제거한 구조를 채택하여 오프셋을 개선하였다. clk1에서 캐패시터에 기준전압의 샘플링이 이루어진다. 그리고 clk2에서는 [(vin+)-(vin-)] - [(vref+)-(vref-)] 전압이 생성되며, 래치입력으로 들어가게 된다.



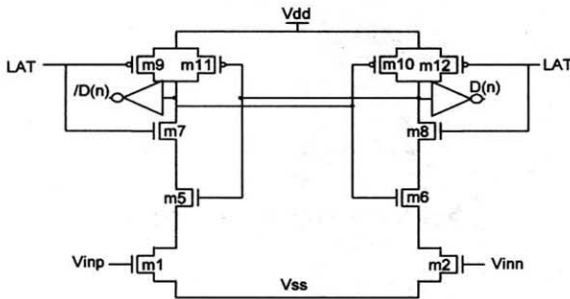
(그림 3.8) 전차동 비교기

이 비교기의 성능은 매우 빠른 분석능력과 10-비트 이상의 고해상도를 지니지만 스위칭 및 캐패시터의 부정합에 따른 영향을 받기 쉬우므로 이에 대한 적절한 고려(예 : CMOS 스위치의 사용)가 필요하다[18].

(그림 3.9)는 비교기의 래치를 보여주고 있다. m1, m2의 NMOS 디바이스들은 선형영역에서 동작하며, 전압제어저항의 역할을 한다. 또한 m9, m10, m11, m12는 cross-coupled 인버터 래치를 형성하며, LAT이 high일 때 연산을 수행하고 인버터를 통과해 확실한 decision을 형성한다. 그리고 LAT이 low일 때는 연산을 수행하기 위한 pre-charging이

이루어진다. kickback 잡음이 크면 입력단에 pre-amplifier를 추가해야 하지만 본 ADC에서 이 잡음은 수 십 μV 정도로 작기 때문에 사용하지 않았다. 이는 비교기의 오프셋을 감소시킨다.

본 비교기는 300MS/s 이상의 매우 빠른 샘플링 동작이 가능한 적은 decision 시간과 11-비트 이상의 높은 해상도를 갖는다. 입력 주파수 50MHz에서 $V_{p-p} < 1mV$ 의 차동 입력에 양호하게 반응한다. 400MS/s의 샘플링 주기에서 decision 시간은 1.2ns로 측정되었다.



(그림 3.9) 비교기의 래치

4. 설계 결과

4.1 ADC의 성능

본 논문의 10-비트 200MS/s 병렬 파이프라인 ADC는 0.5 μm CMOS 공정을 사용하여 설계하였고 HSPICE를 사용하여 이의 올바른 동작을 검증하였다. 설계된 ADC의 성능은 다음 <표 4.1>에 제시하였으며 동급의 ADC인 참고 문헌 [9]와 비교하였다.

<표 4.1> 본 ADC의 성능

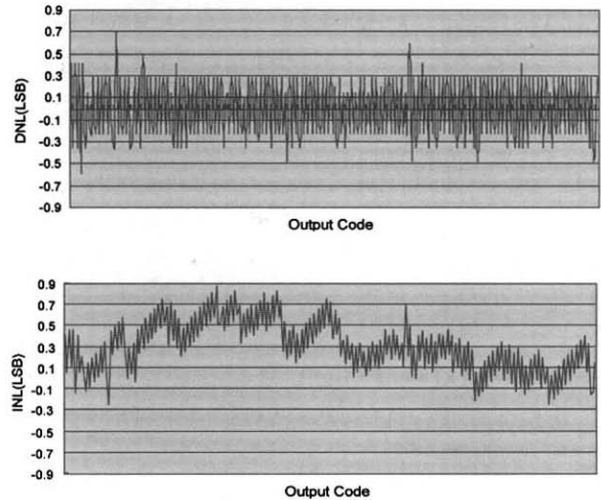
	본 연구	참고 문헌 [9]
해상도	10-비트	10-비트
최대변환속도	200MS/s	200MS/s
DNL	+ 0.7/- 0.6 LSB	+ 0.8/- 0.8LSB
INL	+ 0.9/- 0.3 LSB	+ 0.9/- 0.9LSB
전력소비(코어)	280mW	280mW
입력범위	2.0V _{p-p}	1.6V _{p-p}
공급전압	단일 3.3V	단일 3.0V
공정	0.5 μm CMOS	0.5 μm CMOS

본 변환기의 주요특징은 4-채널 병렬 알고리즘을 사용하여, 기존 파이프라인 ADC의 샘플링율을 4배로 증가시켰으며 결과적으로 200MS/s의 높은 샘플링율을 가능하게 하였다. [9]의 6상(4+2) 클럭방식에 비하여 Pseudo-2상 클럭방식을 채택하여 클럭버퍼의 설계와 클럭배선의 쉽게 하였다는 점도 중요한 이점으로 들 수 있다. DNL과 INL은 본 연

구에서 적은 것으로 나타났다. [9]는 상당한 량의 디지털 에러보정회로를 포함하고 있으나 본 설계와 동일한 전력소비를 보이고 있다. 이는 본 설계에서 공급전압이 3.3V로 높기 때문으로 생각된다. 본 설계는 다양한 회로설계 방식과 낮은 공급전압에 대한 설계를 시도함으로써 개선시킬 여지가 있다고 생각된다. 본 설계의 공급전압이 더 높은 점을 고려하면 입력범위면에서 [9]의 설계가 더 적절한 것으로 나타났다. 본 설계는 해상도 증가목적으로 낮은 오프셋을 갖는 비교기를 사용하고 비교기에서 preamp가 제거되었으며 [9]와 같은 디지털 보정회로를 사용하지 않으므로 회로면적이 적다. 병렬 파이프라인 ADC의 구조적 문제점은 채널의 수효에 비례하여 증가하는 회로면적과 소비전력의 증가로 볼 수 있다. 회로면적의 증가는 축소된 디바이스를 사용하여 해결될 수 있고 장차 CMOS 아날로그 기술이 점차 deep sub-micron 기술로 발전함에 따라 완화되리라 본다.

4.2 DNL과 INL

본 ADC의 DNL(Differential non-linearity) 에러, INL(Integral non-linearity) 에러는 입력범위에 걸친 램프신호를 인가하여 전달특성을 구하고 이로서 출력비트들을 toggle시켜 ADC의 출력코드를 얻은 다음 이상적인 램프신호와 비교하여 구하였다. 이들은 각각 +0.7/-0.6 LSB와 +0.9/-0.3 LSB이며 (그림 4.1)에 표시하였다.

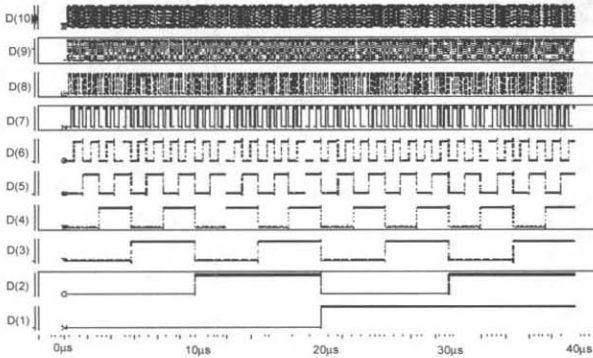


(그림 4.1) 제안된 ADC의 INL과 DNL 특성

4.3 출력결과

(그림 4.2)는 200MS/s 변환속도를 갖고 입력신호 0.65-2.65V를 40 μs 동안 (x-축) 선형적으로 증가시켰을 때의 파형을 y-축에 각 출력비트별로 구분하여 출력한 결과이다. 가장 아래의 파형이 MSB이고 가장 위의 파형이 LSB이다. 전체 시스템은 정현파 입력 사용시 주파수 5MHz까지 안정

된 동작을 보였다. 전체 시스템의 전력소비는 280mW로 측정되었다. Latency는 신호가 입력되어 출력으로 나오기까지 걸리는 시간으로 본 ADC에서 200MS/s 변환시 120ns로 측정되었다.



(그림 4.2) 전체 시스템의 디지털 비트 별 출력

5. 결 론

본 연구에서 10-비트 200MSample/s 고속 아날로그 디지털 변환기(ADC)를 설계하였다. 설계된 변환기에 병렬 파이프라인 방식을 적용하여 기존의 파이프라인 변환기의 특성을 지니면서 변환율을 4배 증가시켜 고속변환이 가능하게 하였다. 본 ADC에서 핵심이 되는 구성 요소는 S/H 증폭기, 비교기와 연산증폭기인데 우선 S/H 증폭기를 입력단에서 사용하여 타이밍 요구를 완화하고 고속변환과 고속 입력신호의 처리를 가능하게 하였다. 비교기는 고속동작은 물론 고해상도의 성능을 갖고 저전력소비로 작동하는 특성을 갖는다. 따라서 본 변환기 이외의 다른 구조의 변환기에도 충분히 응용이 가능하다. 비교기, 1-비트 DAC, 2-이득 증폭기 등은 switched 캐패시터 구조로 통합구성하여 고속동작 및 저전력소비를 얻을 수 있었다. 연산증폭기는 2단 차동구조를 채택하였으며 cross-coupled 인버터 증폭기로 구성된 부저항소자를 출력단에 사용하였다. 이로서 높은 DC 이득을 얻고 10-비트 해상도 및 선형성을 보장하도록 하였다. 또한 본 ADC에서 D-FF을 이용한 지연라인을 구성하였으며 변환시 출력단에서 타이밍 오차를 최소화할 수 있도록 설계하였다. 설계된 ADC는 200MSample/s 고속 샘플링시 소비전력이 280mW이며 빠른 입력신호 처리에 있어서도 유리한 장점을 지니고 있다.

참 고 문 헌

- [1] P. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18um CMOS using averaging termination," IEEE JSSC, Vol.37, No.12, pp.1599-1609, 2002.
- [2] Y. Li and E. Sinencio, "A Wide Input Bandwidth 7-bit 300MSample/s Folding and Current-mode Interpolating ADC," IEEE JSSC, Vol.38, No.8, pp.1405-1410, 2003.
- [3] S. Yoo, J. Park, H. Yang, H. Bae, K. Moon, H. Park, S. Lee, J. Kim, "A 10 b 150MS/s 123mW 0.18um CMOS pipelined ADC," Digest Tech, papers, ISSCC, pp.326-497, 2003.
- [4] D. Chang, U. Moon, "A 1.4-V 10-bit 25-MS/s pipelined ADC using opamp-reset switching technique," IEEE JSSC, Vol.38, No.8, pp.1401-1404, 2003.
- [5] H. Chen, B. Song, K. Bacrania, "A 14-b 20-MSample/s CMOS Pipelined ADC," IEEE JSSC, Vol.36, No.6, pp.997-1001, 2001.
- [6] S. Mathur, M. Das, P. Tadeparthy, S. Ray, S. Mukherjee, B. Dinakaran, "A 115 mW 12-bit 50MSps pipelined ADC," Symp, CAS, Vol.1, pp.913-916, 2002.
- [7] D. G. Nairn, "A 10-bit, 3V, 100MS/s Pipelined ADC," Proc. CICC, IEEE, pp.257-260, 2000.
- [8] S. Sonkusale, J. Van der Spiegel, K. Nagaraj, "Background Digital Error Correction Technique for Pipeline ADCs," IEEE Symp, ISCAS, Vol.1, pp.408-411, 2001.
- [9] L. Sumanen, M. Waltari, K. Halonen, "A 10-bit 200 MS/s Parallel Pipeline A/D converter," IEEE J. Solid-State Circuits, Vol.36, No.7, July, 2001.
- [10] S. Kiriaki, "A 0.25mW sigma-delta modulator for voice-band applications," in Symp, VLSI circuits Dig, Tech, Papers, pp.35-36, 1995.
- [11] W. Brigt, "8-b 75-MS/s 70-mW parallel pipelined ADC incorporating double sampling," in ISSCC Dig, Tech, Papers, pp.146-147, Feb., 1998.
- [12] T. B. Cho and P. R. Gray, "A 10-b 20MSample/s 35mW pipeline A/D converter," IEEE J. Solid-State Circuits, Vol.30, pp.166-172, 1995.
- [13] M. de Wit, K. S. Tan and R. K. Hest, "A 10-bit pipeline A/D converter with on-chip precision trimming," IEEE J. Solid-State Circuit, Vol.28, pp.455-461, Apr., 1993.
- [14] A. Karanicolas, H. LEE and K. Bacrania, "A 15-b 1-M Sample/s digitally self-calibrated pipeline ADC," IEEE J. Solid-State Circuits, Vol.28, pp.1207-1215, Dec., 1993.
- [15] D. Fu, K. Dyer, S. Lewis, P. Hurst, "A Digital Background Calibration Technique for Time-Interleaved ADCs," IEEE JSSC, Vol.33, No.12, pp.1904-1911, 1998.
- [16] V. Hakkarainen, L. Sumanen, M. Aho, M. Waltari, K.

Halonen, "A Self-Calibration Technique for Time-Interleaved Pipeline ADCs," Proc. ISCAS, Vol.1, pp. 25-28, 2003

- [17] Behzad Razavi, "Principles of Data Conversion System Design," IEEE PRESS, 1995.
- [18] David F. Hoeschele Jr., "Analog-to-Digital and Digital-to-Analog Conversion Technique," JOHN WILEY & SONS, 1994.
- [19] Behzad Razavi, "A 12-b 5-Msample/s Two-step CMOS A/D Converter," IEEE JSSC, Vol.27, 1992.



정강민

e-mail : kmchung@yurim.skku.ac.kr

1971년 서울대학교 전기공학과 공학사

1976년 미 Texas대 전기공학과 공학석사

1979년 미 Texas대 전기공학과 공학박사

1979년~1983년 미 AT&T Bell 연구소
연구원

1983년~1985년 미 Sperry Computer Systems 연구고문

1985년~현재 성균관대 전기전자컴퓨터공학부 정교수

관심분야 : CMOS SoC 디지털 및 아날로그 VLSI 설계