

# 영상 정보 처리를 위한 잔상이 없는 전하 결합 영상 소자의 설계

박 용<sup>†</sup> · 이 영 희<sup>†</sup>

## 요 약

영상 정보 처리를 위한 전하 결합 영상 소자에 나타나는 바탕 얼룩은 화소에서 포토 다이오드 영역의 전계가 1E3V/cm 이하일 때 발생하는 잔상에 의하여 나타난다. 본 연구는 전하 결합 영상 소자의 화소에서 포토 다이오드를 1.7 $\mu$ m로 깊게 형성하여 포토 다이오드와 수직 전하 결합 영상 소자 사이의 거리를 좁혀 Turn-on Gate 채널 영역의 전하 장벽을 낮추었다. 포토 다이오드 영역의 전계는 1E3V/cm 이상이 되도록 하고 TG 채널에서의 전계는 1E5V/cm 정도가 되도록 설계하여 전하 결합 영상 소자에서 잔상이 발생하지 않도록 함으로써 바탕 얼룩 현상을 제거하였다.

## Lag-Free CCID for Image Information Processing

Yong Park<sup>†</sup> · Young Hee Lee<sup>†</sup>

## ABSTRACT

The background blemish in the CCID(Charge-Coupled Imaging Device) for the image information processing is caused by image lag which appears when the electric field in the photodiode region of the pixel becomes below 1E3V/cm. In this study, we formed 1.7 $\mu$ m deep photodiode junction in a pixel. The deep photodiode junction reduced the distance between photodiode region and VCCD region inside the pixel, which in turn lowered the potential barrier in the Turn-on Gate channel region. With the lowered potential barrier, we can suppress image lag by keeping the electric field of the photodiode region above 1E3V/cm and that of TG about 1E5V/cm. Thus, we were able to remove the background blemish caused by image lag in the CCID.

### 1. 서 론

오늘날 초고속 정보 통신과 멀티미디어의 발달로 전하 결합 영상 소자(Charge-Coupled Imaging Device)[1]는 매우 다양한 분야에서 사용되고 있으며 영상 정보 처리에 대한 입력 장치로 많이 이용하고 있다. 영상 정보는 입력 장치인 영상 결합 소자에서 갖고 있

\*이 연구의 일부는 단국대학교 대학 연구비의 지원으로 연구 되었음.

<sup>†</sup> 정 회 원: 단국대학교 전자공학과

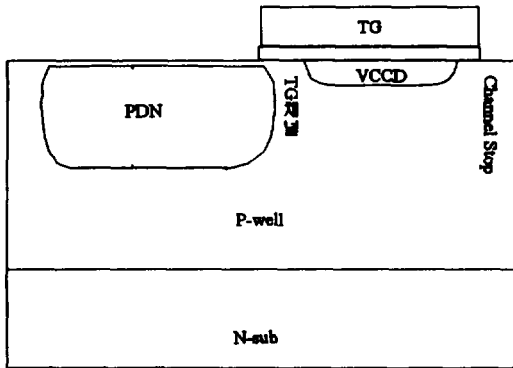
논문접수: 1997년 12월 5일, 심사완료: 1997년 12월 31일

는 고유의 특성과 시스템의 특성에 따라 많은 영향을 받으므로 영상 정보에 미치는 영향을 최소화 할 수 있도록 영상 입력 소자의 특성을 개선하여야 한다. 그리고 영상 정보 처리 시스템 또한 원래의 영상 정보를 왜곡시키지 않도록 설계 하여야 한다. 전하 결합 영상 소자에서 나타나는 화상 결합[2-4] 가운데 잔상에 의한 바탕 얼룩은 화면 전체가 얼룩얼룩하게 보이는 현상으로 멀티미디어의 영상 입력 단계부터 문제를 안고 있는 중요한 결합 가운데 하나로 매우 적은 양의 잔상에 의하여 나타나는 바탕 얼룩의 영향은

대상 물체에 대한 영상 정보에 대하여 불균일한 데이터의 값을 갖게 한다. 잔상의 발생은 주로 포토 다이오드의 신호 전하를 읽어내는 영역의 전위 장벽에 의하여 발생하고 다음으로는 포토 다이오드 영역의 전위에 많은 영향을 받아 발생한다. 따라서 본 연구는 바탕 얼룩[5-6]이 되는 잔상을 시뮬레이션하고 잔상이 발생하지 않는 전하 결합 영상 소자를 설계 제작하여 실험하였다.

**2. 전하 결합 영상 소자에서 잔상**

전하 결합 영상 소자의 화소는 (그림 1)과 같은 구조로서 N형 기판에 P-well을 형성하고 그 위에 PD (PhotoDiode)와 VCCD(Vertical CCD) 영역을 형성한다. PD와 VCCD 사이에는 약간의 전위 장벽을 형성하기 위한 TG(Turn-on Gate) 채널 영역이 있으며 TG는 VCCD와 TG 채널에 걸쳐 있는 게이트 전극으로 큰 전압을 인가하여 PD 영역의 신호 전하를 VCCD 영역으로 읽어낼 수 있도록 한다. 그리고 CS(Channel Stop) 영역은 PD 영역의 신호 전하가 이웃한 다른 PD나 VCCD 영역으로 넘쳐 흐르지 못하도록 하는 역할을 한다.



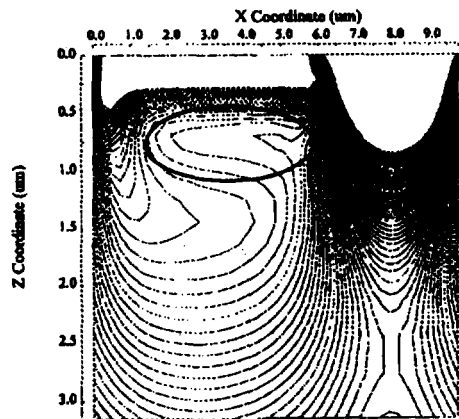
(그림 1) 전하 결합 영상 소자 화소의 단면도  
(Fig. 1) Cross section of the pixel in a charge-coupled imaging device

완전히 공핍된 PD에 빛이 입사되면 전자-정공쌍이 발생하고 이 전하는 PDN 영역에 모이며 전기적인 신호로 작용하게 된다. 이러한 전기적인 신호 전하는 TG에 가하는 큰 전압에 의하여 PD 영역의 전위보다

TG 채널 영역과 VCCD 영역의 전위를 크게 하여 PD 영역의 신호 전하가 TG 채널을 거쳐 VCCD 영역으로 넘어간다. 이때에 TG 채널의 전위가 PD 영역의 전위보다 낮거나 같으면 PD 영역의 신호 전하가 VCCD 영역으로 완전히 넘어가지 못하고 남게 된다. 잔상 특성은 PD의 신호 전하를 읽어내는 시간(2.5us)이 매우 짧으므로 신호 전하가 이동하는 PD 영역과 TG 채널의 전위 기울기에 매우 큰 영향을 받게 된다. 전위 장벽에 의하여 PD 영역의 신호 전하가 VCCD 영역으로 완전히 넘어갈 수 없어 발생하는 잔상[7-10]은 각 화소의 불균일한 형성과 기판 전압이 각 화소에 미치는 영향, 그리고 TG 전압에 의한 채널의 전위 및 전계에 의하여 발생하는 잔상의 정도가 다르게 나타낸다.

**3. 시뮬레이션 및 실험**

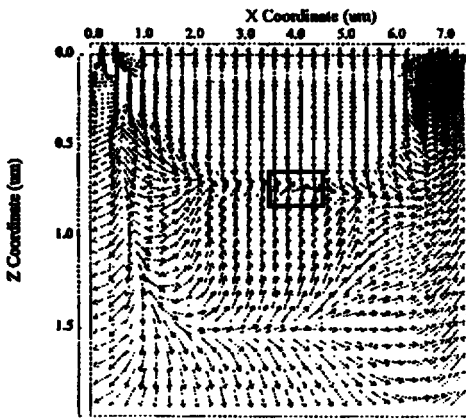
(그림 2)는 잔상이 발생하는 화소에 대한 전위 분포로 PD의 신호 전하를 읽어내기 위하여 TG에 전압을 가하였을 때 PD 영역의 전위와 TG 채널 영역의 전위차가 거의 없을 정도로 PD 영역의 신호 전하를 완전히 읽어내기 힘들고 PD 영역에 매우 적은 양의 신호 전하가 남게 되어 잔상이 발생한다. TG에 가하는 전압이 채널에 미치는 영향이 적어 PD과 TG 채널 영역에 타원형으로 표시한 O 내부 영역의 전위차가 거의



(그림 2) 잔상이 있는 화소의 2차원 전위  
(Fig. 2) 2-D potential distribution of the pixel with image lag

없으며 PD 영역의 전계가 작아 PD 영역에서 VCCD 로 신호 전하가 완전히 이동할 수 없어 잔상이 발생 하게 된다. 이는 PD와 VCCD 사이의 간격이 넓고 TG 채널의 P-well 농도가 높을 때 발생하게 된다.

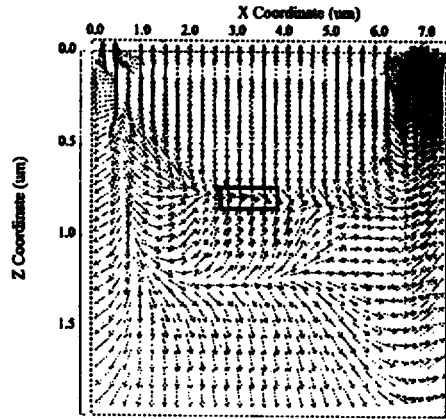
(그림 3)은 잔상이 발생하는 전하 결합 영상 소자의 기판 전압이 5V일 때 PD 영역의 전계를 나타내며 그림에서 □ 부분은 전계의 크기가 1E2~1E3V/cm을 나타낸다. 전자의 이동은 전계의 크기와 거리에 영향을 받으므로 짧은 시간에 PD의 신호 전하를 읽어내기 위해서는 전위차를 크게 하여야 한다.



(그림 3) 잔상이 발생하는 화소의 전계(기판전압 5V)  
(Fig. 3) Electric field of the pixel with image lag(at  $V_{sub} = 5V$ )

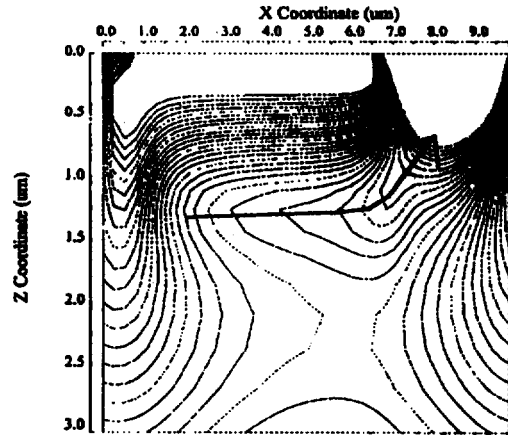
(그림 4)는 잔상이 발생하는 전하 결합 영상 소자의 기판 전압이 10V일 때 PD 영역의 전계를 나타내며 기판 전압이 증가할수록 TG 채널로부터 먼 곳에 전계가 1E2~1E3V/cm인 □ 부분이 생긴다. 이는 기판 전압이 증가할수록 PD 영역의 신호 전하를 읽어내기 어려워 잔상이 더 많이 발생할 수 있음을 나타낸다.

(그림 5)는 잔상이 발생하지 않도록 설계한 화소의 전위 분포를 나타낸다. 잔상이 발생하지 않도록 PD를 깊게 형성하여 VCCD와 거리를 가깝게 하여 TG에 큰 전압을 가할 때 PD에서 VCCD 영역으로 전위의 기울기가 크게 형성되어 전계가 커져 PD의 신호 전하를 읽어낼 때 VCCD 영역으로 쉽게 넘어갈 수 있도록 하였다. PD의 신호 전하를 읽어낼 때의 → 부분은 전자가 이동하는 중심 영역으로 전계가 1E3V/cm



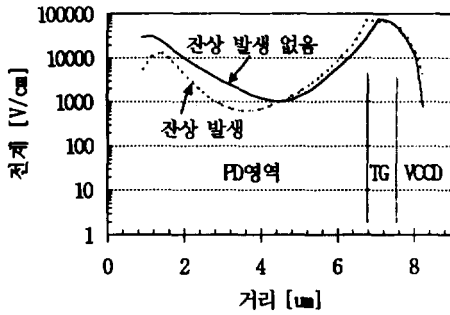
(그림 4) 잔상이 발생하는 화소의 전계(기판전압 10V)  
(Fig. 4) Electric field of the pixel with image lag(at  $V_{sub} = 10V$ )

cm 이상의 값을 나타낸다. 이는 PD 영역의 신호 전하 이동을 빠르게 하여 잔상이 발생하지 않도록 하였으며 기판의 전압을 증가시켜 전자가 이동하는 방향으로 큰 전위 기울기를 가져 전계의 크기는 1E3V/cm를 유지하므로 잔상이 발생하지 않았다.



(그림 5) 잔상이 없는 화소의 전위 분포  
(Fig. 5) Potential distribution of the pixel without image lag

(그림 6)은 PD의 신호 전하를 읽어낼 때의 전계를 나타내며 잔상이 발생하는 화소는 PD 영역에서 1E3V/cm 이하의 값을 나타내고 잔상이 발생하지 않은 화소



(그림 6) PD 영역의 전계  
(Fig. 6) Electric field of the photodiode region

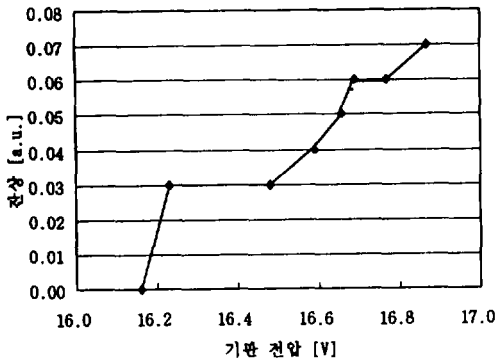
의 PD 영역은 1E3V/cm 이상의 값을 나타낸다.

<표 1>은 화소의 설계에 따른 잔상 특성으로 전계가 1E3V/cm 이상일 때는 1E3V/cm 이하에 비하여 1/40로 잔상이 거의 없다.

<표 1> 화소 설계에 따른 잔상 특성  
<Table 1> Lag characteristics on the pixel design

전계 [V/cm]	Simulation [a.u.]	측정값 [a.u.]
1E3 이하	0.045	0.040
1E3 이상	0.000	0.001

(그림 7)은 기판 전압에 따른 잔상 특성을 측정된 결과로 기판 전압이 증가하면 잔상도 증가하는 특성을 보인다. 이는 앞에서 시뮬레이션을 통하여 확인한 결과와 일치하며, 잔상은 0.00~0.07 a.u.까지 변화함



(그림 7) 기판 전압에 따른 잔상  
(Fig. 7) Image lag vs. substrate bias

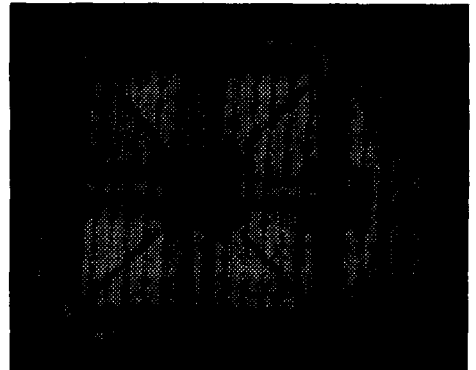
을 알 수 있다. 이는 기판 전압이 TG 채널의 전위에 미치는 영향보다 PD 영역에 미치는 영향이 더 커서 PD와 TG 채널사이의 전위차를 더 크게 하기 때문에 기판 전압이 증가하면 잔상이 증가한다.

(그림 8)은 잔상이 있는 전하 결합 영상 소자에서 화면 전체에 균일하지 않은 얼룩이 보인다. 이는 전하 결합 영상 소자가 동작할 때 각 화소의 TG 채널의 전위 장벽이 균일하지 않기 때문이며 이러한 바탕 얼룩은 해상도를 떨어뜨리고 선명한 영상 정보를 얻기 힘들며 영상 정보 인식에서 원래의 데이터에 많은 영향을 미친다.



(그림 8) 잔상이 있는 전하 결합 영상 소자  
(Fig. 8) CCD with image lag

(그림 9)는 각 화소에서 발생하는 잔상이 발생하지 않도록 설계 제작한 전하 결합 영상 소자로 화면 상태가 매우 깨끗하고 선명하며 해상도가 높다.



(그림 9) 잔상이 없는 전하 결합 영상 소자  
(Fig. 9) CCD without image lag

#### 4. 결 론

전하 결합 영상 소자에서 바탕 얼룩은 화소에서 발생하는 잔상에 의하여 나타나는 현상으로 영상 정보 처리에 매우 큰 영향을 끼쳐 원래의 영상 정보 자료를 변형시키고 해상도를 떨어뜨린다. 화소의 PD 영역의 전계가 1E3V/cm 이하일 때는 잔상이 발생하지만 PD를 1.7 $\mu$ m로 깊게 형성하여 PD와 VCCD 사이의 거리를 줄이고 화소에서 PD 영역의 전계가 1E3V/cm 이상이 되도록 하였고 TG 채널의 전위가 큰 기울기를 가져 전계가 1E5V/cm 정도로 설계하여 전하 결합 영상 소자에서 잔상이 발생하지 않도록 하여 우수한 영상 정보 처리를 할 수 있도록 시도 하였다.

#### 참 고 문 헌

[1] W. S. Boyle and G. E. Smith, "Charge Coupled Semiconductor Devices", Bell System Tech. J. 49, pp. 587-597, May 1970.

[2] Albert J. P. Theuwissen, 'Solid-State Imaging with Charge-Coupled Devices', Kluwer Academic Publishers, 1995.

[3] L. Jastrzebski et al., "The Effect of Heavy Metal Contamination on Defects in CCD Imagers, J. Electrochem. Soc.", Vol. 137, No. 1, pp. 242-249, January 1990.

[4] W. C. McColgin et al., "Dark Current Quantization in CCD Image Sensors", IEDM Tech. Dig., pp. 113-116, 1992.

[5] R. Miyagawa, S. Ohsawa, H. Yamashita, M. Sasaki, Y. Koya, and Y. Matsunaga, "Reduction of fixed pattern noise for STACK-CCD", ITEJ, Tech. Rep., vol. 16, no. 75, pp. 13-18, Nov. 1992.

[6] N. Nakamura et al., "Random noise generation mechanism for a CCD imager with an incomplete transfer-type storage diode", IEEE Trans. on Electron Devices, vol. ED-43, pp. 1883-1889, Nov. 1996.

[7] Eric G. Stevens, David N. Nichols, Ying S. Yee, David L. Losee, The-Hsuang Lee, Timothy J. Tredwell, and Rajindar P. Khosla, "A 1-Mega-

pixel, Progressive-Scan Image Sensor with Anti-blooming Control and Lag-Free Operation", IEEE Trans. Electron Device, Vol. ED-38, No. 5, pp. 981-988, 1991.

[8] N. Teranishi et al., "An interline CCD image sensor with reduced image lag", IEEE Electron Devices, vol. ED-31, pp. 1829-1833, Dec. 1984.

[9] S. Manabe et al., "A 2-million pixel CCD image sensor overlaid with an amorphous silicon photo-conversion layer", IEEE Trans. Electron Device, Vol. ED-38, pp. 1765-1771, Aug. 1991.

[10] N. Nohmi et al., "Capacitive-lag-free CCD imager overlaid with an amorphous silicon photoconversion layer", in Proc. Conf. Solid-State Dev. Mater., pp. 713-716, 1990.



#### 박 용

1983년 2월 단국대학교 전자과 졸업  
 1984년 9월~1986년 8월 단국대학교 대학원 졸업 (공학석사)  
 1990년 9월~현재 단국대학교 대학원 박사과정

1986년 9월~현재 LG 반도체 근무  
 관심분야: 회로 및 시스템 설계, 멀티미디어 시스템



#### 이 영 희

1959년 2월 전북대학교 물리학과 졸업  
 1966년 6월 Universitat Wien 물리학과 졸업(이학박사)  
 1966년 9월~1973년 2월 서울대학교 시간강사

1973년 3월~현재 단국대학교 전자공학과 교수  
 관심분야: 회로 및 시스템 설계, 멀티미디어 시스템