한글 인쇄체 문자인식 전용 신경망 Coprocessor의 구현에 관한 연구

김 영 철[†] · 이 태 원[††]

요 약

본 논문에서는 한글 인쇄체 인식 시스템의 실시간 처리를 위하여 인식 프로세스중 시간이 많이 걸리는 한글 문자 유형 분류 및 자소 인식 단계를 고속 처리할 수 있는 다층구조 신경망을 VLSI 설계 하였으며, 신경망과 호스트 컴퓨터간의 인터페이스와 신경망 제어를 담당하는 코프로세서 구조를 제안하였다. 이를 VHDL 모델링 및 논리합성을 통하여 설계하여 시뮬레이션을 통하여 구조와 동작 및 성능을 검증하였다. 실험결과 제안한 신경망 coprocessor는 기존의 소프트웨어 구현 인식 시스템의 유형 분류 및 자소 인식률과 대등한 성능을 보인 반면 고속의 인식속도를 보였다.

Study on Implementation of a Neural Coprocessor for Printed Hangul-Character Recognition

Young-Chul Kim[†] · Tae-Won Lee[††]

ABSTRACT

In this paper, the design of a VLSI-based multilayer neural network is presented, which can be used as a dedicated hardware for character-type segmentation and character-element recogniti on consuming large processing time in conventional software-based Hangul printed-character recognition systems. Also the architecture and its design of a neural coprocessor interfacing the neural network with a host computer and controlling the neural network are presented. The architecture, behavior, and performance of the proposed neural coprocessor are justified using VHDL modeling and simulation. Experimental results show the successful rates of character-type segmentation and character-element recognition is competitive to those of software-based Hangul printed-character recognition systems with retaining high-speed.

1. 서 론

오늘날과 같이 대부분의 정보를 전산화 처리하여야 하는 시대에는 대량의 문서 정보를 신속 정확하게 입력시켜 컴퓨터에서 효율적으로 처리 관리할 수 있는 자료로 보관하여야 할 필요성이 점증하고 있으며, 이를 위한 문서 자동 입력 시스템의 개발은 필수적이라 하겠다. 현재 국내외적으로 문서 인식 시스템 개발 연구가 활발히 진행되어 이미 실용화 단계에 이르는 성과를 거두고 있다[1-9].

경쟁력 있는 인쇄체 인식 시스템의 실용화를 위해

※이 논문은 1995년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.
† 정 회 원:전남대학교 전자공학과
†† 준 회 원:전남대학교 전자공학과
논문접수:1997년 2월 19일, 심사완료:1997년 11월 17일

서는 다양한 서체와 많은 문자수 그리고 다양한 크기의 문자를 포함하는 문서를 높은 인식률로 인식할 수 있는 알고리즘의 개발과 더불어 고속의 인식 처리를 지원할 수 있도록 개발 알고리즘을 하드웨어로 구현할 수 있는 기술 또한 중요하다. 현재 문서 인식에 사용되는 대표적인 방법은 원형 정합 방법, 구조적 분석 방법, 통계적 방법, 그리고 신경망을 이용하는 방법이 있다. 이 방법 중에서 신경망을 이용한 방법은 학습에 의해서 문제를 해결하는 방식으로 신경망의 구조적 특성상 하드웨어 구현시 대규모 병렬 처리가 가능하여 인식 속도와 인식률의 측면에서 적절한 인식 방법이라 할 수 있다.

한글 인쇄체 신경망 인식 시스템은 문자인식 프로세스를 크게 문자 추출 단계, 형식 분류 단계, 그리고 자소 분할을 통한 인식 단계로 나눌 수 있는데 시스템에 따라 3 단계중 일부 또는 전부를 신경망으로 처리한다[5-9]. 기존의 한글 인쇄체 인식 시스템의 대부분은 신경망으로 처리하는 단계이든 다른 알고리즘을 사용하는 단계이든 컴퓨터 시뮬레이션을 통한 소프트웨어 구현 방식을 주로 택하고 있어 그 동안 연구되어 좋은 인식률을 보여주는 많은 신경망 문서 인식 시스템들이 인식 속도의 측면에서는 그다지 만족스럽지 못한 실정이다.

따라서 이러한 문자인식 알고리즘을 하드웨어적으로 처리할 수 있는 문서 인식 시스템을 개발한다면 문서 인식의 실시간 고속 처리가 가능할 것이다. 이러한 필요성에 따라 국내에서도 한글 문서인식 시스템을 부분적으로 하드웨어로 구현하는 연구가 진행중이다[9]. 한글 인쇄체 인식용 하드웨어 개발에 있어서 신경망 방법은 인식률에 있어서도 좋은 결과가 발표되고 있고 대규모 병렬처리를 지원할 수 있는 특유의 구조적 특성으로 인하여 하드웨어 구현에 적합한 방법이라 하겠다.

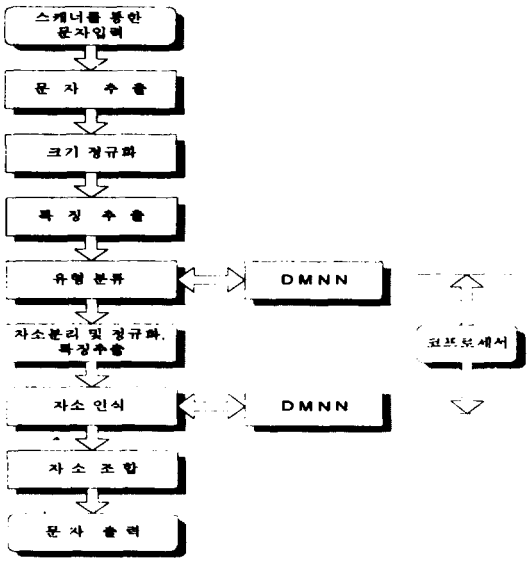
신경회로망을 전용 하드웨어로 구현하는 연구가 국내외적으로 활발히 진행되고 있으며, 특히 전용 VLSI 신경망은 가장 실현 가능한 구현 기술이라 할 수 있다. 신경회로망을 VLSI로 구현하는 방식은 크게 아날로그, 디지털, 하이브리드 방식으로 나눌 수 있다. 아날로그 방식은 집적도가 높고 속도가 빠르다는 장점이 있지만, 특수 제작 공정이 필요하고 정밀도가 낮다는 단점이 있다[10]. 디지털 방식은 현재의 VLSI 기술들을 이용하여 설계할 수 있고 임의의 정밀도를 구현할 수 있으며 디지털 시스템과의 인터페이스가 용이하다는 장점이 있지만, 기존의 디지털 구현 방식으로는 차지하는 칩(chip) 면적이 대단히 크고 communication overhead가 크다는 단점이 있다[11]. 하이브리드 방식은 여러 가지 모델들이 있는데 신호 저장과 전송은 디지털 방식으로 연산은 아날로그 방식을 이용한다[11]. 한편, 확률적 연산 기법과 단순 논리 소자를 이용하여 뉴론과 시냅스를 구현하여 뉴론 집적도와 동시 병렬처리를 극대화시키기 위한 디지털 구현 연구가 새로운 구현 방법으로 주목을 받고 있다[12, 13].

본 논문에서는 이미 그 구조를 발표한 바있는 DMNN (Digital Multilayer Neural Network)이라는 펄스형 디지털 신경망[14, 15]을 한글 인쇄체 인식을 위한 전용 유형 분류 및 자소 인식 신경망 하드웨어 사용하기 위하여 여러개의 다층신경망을 수용하도록 수정하였으며 이를 호스트 컴퓨터와 인터페이스가 가능한 코프로세서로 설계하였다. 본 논문의 구성은 2장에서 DMNN을 이용한 한글 인쇄체 인식 프로세스를 설명하고, 3장에서는 수정된 DMNN과 코프로세서의 구조를 제안하고 설계하며, 4장에서는 코프로세서의 시뮬레이션 결과 및 한글 인쇄체 유형 분류 및 자소 인식 성능을 분석하고, 5장에서 결론을 맺는다.

2. DMNN을 이용한 한글 인쇄체 인식 프로세스

본 연구에서 채택한 DMNN을 이용한 한글 인쇄체 인식 프로세스는 (그림 1)과 같다.

(그림 1)에서의 문자 추출 단계에서는 스캐너를 통하여 입력된 문자 영상을 수평 투영에 의해서 문자열을 분리하고 분리된 문자열은 수직 투영을 통하여 개개의 문자를 분리한다. 이렇게 분리된 각 문자는 세선화 및 잡영 제거 등의 전처리 과정을 거쳐 40×40 크기의 pixel matrix 영상으로 정규화된 다음 각 문자별로 모음의 형태, 받침의 유무 등에 따라 6 가지 유형으로 분류하는 유형 분류 단계를 거치게 된다[16]. 글자의 유형은 유형 분류 DMNN에서 분류된다. 유형 분류를 위하여 먼저 40×40 크기의 pixel matrix 영상을 5×5 크기의 윈도우로 모두 64(8×8)개의 윈도우로 분할한다. 각 윈도우의 25개의 pixel중에서 '1'인 pixel의 수를 더하여 8×8 메쉬(mesh) 특징을 추출한

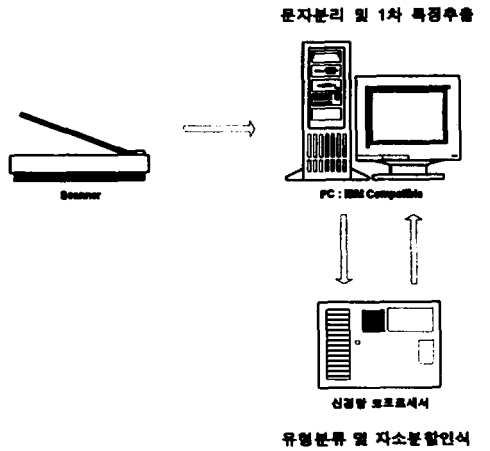


(그림 1) DMNN을 이용한 한글 인쇄체 인식 프로세스.
(Fig. 1) Recognition process of the Hangul printed characters using the DMNN.

다. 8×8 매쉬 특징값중에서 최대값을 기준으로 최대값의 70% 이상이면 특징값을 1로 70% 미만인 경우는 0으로 정규화하였다. 문자의 정확한 정보보다는 대략적인 위치 정보만을 포함하더라도 6가지 유형으로의 분류가 가능하므로 이와같이 정규화된 8×8 매쉬 특징을 유형 분류 신경망의 입력으로 사용한다.

유형 분류 DMNN의 구조는 64×35×6 (입력층 뉴론수×은닉층 뉴론수×출력층 뉴론수)으로 구성하였다. 입력층의 뉴론수는 64개의 매쉬 특징 백터에 해당하며 출력층의 뉴론수는 6 가지 유형을 나타낸다. 6가지 유형중의 하나로 분류된 문자는 자소의 위치와 자소가 차지하는 대략의 영역을 알 수 있으므로 고정된 해당 자소 부분을 자소 인식 DMNN의 입력 영역으로 사용할 수 있다. 분리된 영역은 다시 크기 정규화 과정을 거쳐서 각 영역에 대해 초성 자음, 중성 수평 모음, 중성 수직 모음, 종성 자음등 4개의 영역으로 정규화를 행한다. 4개의 영역에 대한 자소인식 신경망은 각각 36×34×19, 36×25×5, 36×32×9, 그리고 6×40×27 크기의 다층구조 신경망으로 구성하였다. 자소 인식 결과가 DMNN을 통하여 출력이 되면 각 유형별로 각 자소를 2-바이트 조합형 한글로 조합하여 인식된 글자에 해당하는 한글 코드화된다.

본 연구에서 제안한 한글 인쇄체 인식 시스템은 문자 추출과 1차 특징 추출을 위한 프로세스는 (그림 2)에서와 같이 PC에서 전용 신경망을 결합한 소프트웨어로 처리되며, 분리된 문자들로 구성된 문서 블록 데이터가 신경망 코프로세서로 보내지고 여기서 코프로세서의 제어에 따라 유형 분류 및 자소 인식용 신경망 하드웨어에 의해서 문서를 인식하여 그 결과를 PC에 보내면 이를 한글 코드 화일로 저장하게 된다.

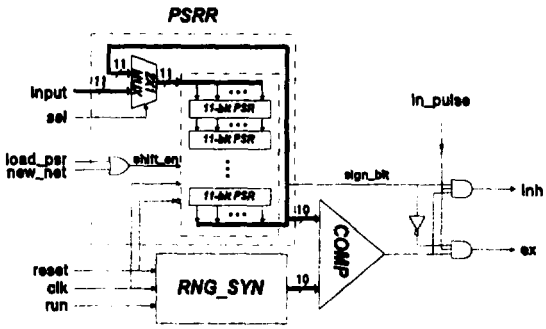


(그림 2) 제안된 문서 인식 시스템.
(Fig. 2) Printed Hangul-character recognition system.

3. DMNN 코프로세서

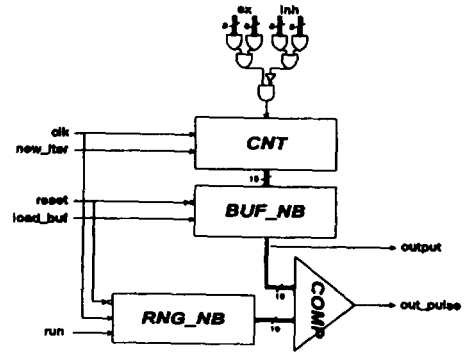
DMNN은 펄스형 디지털 다층 퍼셉트론으로서 은닉층은 한 개로 구성하였으며, 임의의 크기로 확장이 가능하도록 각 계층을 모듈 형태로 설계하였다. 학습은 오프라인으로 호스트 컴퓨터에서 수행하고 인식만을 수행토록 설계되었다. DMNN에서는 계산할 숫자를 일정 주기동안 발생되는 랜덤 펄스열의 확률 값으로 표현하며 필요한 대수연산을 OR와 AND의 논리연산으로 대치하였다. 확률적 연산방법을 이용하여 신경망 연산에서 필요한 덧셈 및 곱셈 그리고 비선형 변환 함수를 대신하는 DMNN은 연산 장치를 OR/AND 게이트와 단순 디지털 소자들만으로 대치하므로써 칩당 대규모 뉴론 집적도가 가능하며 펄스열을 이용한 신호 전송으로 신경망 특유의 동시 병렬처리를 극대화할 수 있는 구조로 되어있다[14, 15].

DMNN을 구성하는 기본적인 소자는 뉴론소자와 시냅스 소자이다. 시냅스 소자는 가중치(weight)값을 저장하고 있으며 랜덤수 발생기(RNG_SYN)의 출력과 비교되어 랜덤 펄스열을 발생시키고, 뉴론의 출력을 곱한 값에 해당하는 흥분성(ex) 및 억제성(inh) 펄스열을 발생시킨다. 기존의 DMNN은 시냅스 소자에 가중치(weight)를 저장하기 위한 버퍼가 1개 뿐이므로 문자인식을 위해 여러개의 신경망이 요구되는 경우, 새로운 네트워크의 동작이 필요할 때마다 새로운 가중치(weight)정보를 download하여야 하는 불편함이 있다. 수정된 다중 시냅스 소자에서는 여러 신경망을 위한 다수의 가중치(weight)를 저장하도록 시냅스 소자의 버퍼를 PSRR(Parallel Shift Rotate Register)로써 구성하였다. 각 신경망의 가중치(weight)정보를 한번만 초기화한 후 새로운 네트워크가 설정될 때 -'new_net' 신호가 'high'일 경우-에는 해당하는 신경망의 가중치(weight)가 parallel shift되어 비교기(COMP)에 전달됨으로써 새로운 네트워크로 전환하는 시간을 단축시켜 신경망의 문자인식 속도를 고속화시킬 수 있다.



(그림 3) 수정된 DMNN의 다중 시냅스 소자.
(Fig. 3) Block diagram of a modified synaptic elements.

(그림 3)은 수정된 DMNN의 다중 시냅스 소자의 블록도 이다. PSRR은 1개의 2×1 MUX와 PSR(Parallel Shift Register)로써 구성된다. 2×1 MUX는 'sel' 신호가 'high'일 경우 data_bus의 11-bit값을 PSRR 내의 최상위 PSR에 전달하고, 'low'일 경우 최하위 PSR의 값을 최상위 PSR에 전달함으로써 순환적으로 parallel shift 시킨다. PSR은 'shift_en' 신호가 'high'일 경우 11-bit 데이터를 parallel shift시킨다.



(그림 4) 수정된 DMNN의 뉴론 소자.
(Fig. 4) Block diagram of a modified neuron elements.

(그림 4)는 수정된 뉴론 소자의 블록도이다. 뉴론소자의 OR 게이트의 입력 값은 오프셋 값과 시냅스들에서 발생된 흥분성 및 억제성 펄스들이다. OR 게이트에서 발생된 흥분성 및 억제성 펄스는 AND 게이트를 통하여 흥분성 펄스만이 걸러지고, 카운터에서 한주기동안 발생된 갯수가 계산된다.

기존의 DMNN은 뉴론 소자에 쓰이는 OR 게이트의 fan-in을 8개로 고려하여 하나의 뉴론에 연결되는 시냅스의 수를 8개를 기본으로 하였으므로 8개의 단위로 뉴론 모듈을 정하였다. 따라서 기존의 DMNN 구조로는 56×56×56 크기의 네트워크까지 가능하였다.[3] 그러나, 수정된 뉴론 소자를 이용하여 신경망을 구성할 경우 OR 게이트의 fan-in을 늘리지않고 하나의 모듈에 포함될 뉴론의 갯수를 16개를 기본으로 할 수 있으며, 뉴론소자의 입력값이 오프셋값과 시냅스들에서 발생된 흥분성 및 억제성 펄스들이므로 시냅스배열 모듈을 15개까지 확장할 수 있다. 따라서 본 논문에서 제안된 뉴론 소자를 이용하여 신경망을 구성할 경우 뉴론의 갯수를 16개를 기본으로 하는 모듈을 15개까지 배열할 수 있으므로 240×240×240까지 확장이 가능하다.

DMNN에서는 같은 계층내의 모든 뉴론에서 수행되는 연산이 전용 뉴론 Cell에서 모두 동시 처리되며, 또한 각 계층간의 신경망 모듈은 마치 파이프라인처럼 연결되어 있어서 계층간의 모든 연산은 각각의 전

용 계층에서 처리되어 계층간 데이터의 상호 의존성이 없이 병렬 처리된다. 시냅스와 뉴론 소자를 구성하는 구성요소, 그리고 기본 소자로 구성되는 각각의 계층별 모듈의 블록도와 회로도 및 동작 특성은 [14-15]를 참조할 수 있다.

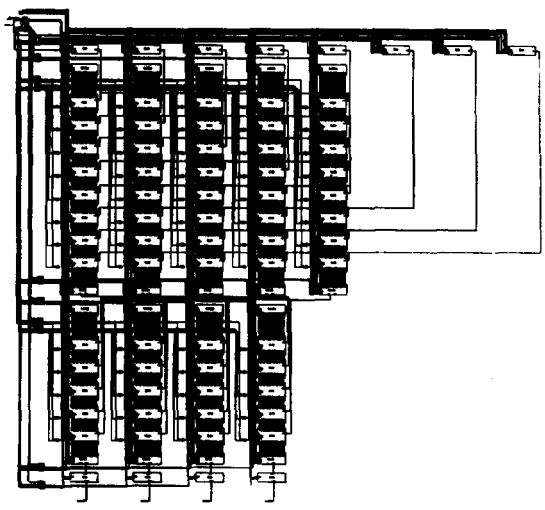
DMNN을 한글 인쇄체 인식을 위한 유형 분류 및 자소 인식기로 사용할 경우 DMNN은 동작에 앞서 학습된 시냅스 연결 강도를 코프로세서의 메모리로부터 시냅스의 버퍼로 저장하고 DMNN을 초기화하는 과정을 거친 다음 입력 패턴을 입력층으로 받아들여 한 번의 앞먹임(feedforward) 연산 주기가 끝나면 연산 결과가 출력층을 통하여 출력된다.

DMNN 신경망의 특징은 수정된 시냅스 소자에서 다수의 신경망 가중치 정보를 저장할 수 있으므로 제안한 한글 인쇄체 인식 시스템에서 필요한 1개의 유형 분류 신경망과 4개의 자소 인식 신경망을 한 개의 64×40×32 크기의 DMNN으로 구현하였다는 점이다. (그림 5)은 Synopsys사의 설계 tool을 이용하여 설계한 유형 분류 및 자소 인식 신경망으로 사용한 64×40×32 크기의 DMNN의 회로도를 보여준다.

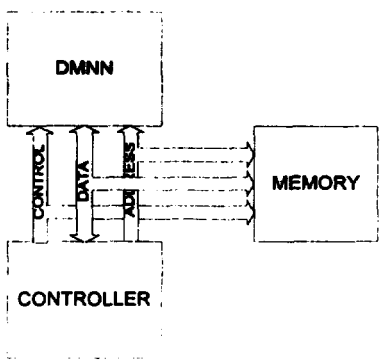
본 논문에서 제안하는 코프로세서는 한글 인쇄체 인식을 위한 유형 분류 및 자소 인식 전용 신경망으로 기존 컴퓨터와 인터페이스하여 사용할 수 있어야 한다. (그림 6)은 신경망, 컨트롤러, 메모리로 구성된 신경망 코프로세서의 전체 블록도이다. 신경망은 64×40×32 DMNN으로 구성되며, 메모리는 실행할 프로그램과 학습된 시냅스 가중치, DMNN의 크기, 입력 패턴수, 테스트할 패턴, DMNN 출력 등을 저장한다. 코프로세서는 인식을 담당하는 전용 프로세서로 사용하기 전에 호스트 컴퓨터로부터 다운받은 신경망의 구조 정보와 학습 정보를 이용하여 DMNN을 초기화한다.

(그림 6)에서의 컨트롤러는 호스트 컴퓨터와의 인터페이스를 담당하고 DMNN의 동작을 제어한다. 이 컨트롤러는 호스트 컴퓨터로부터 전처리를 거친 문서의 문자 데이터 정보들을 배취(batch) 모드로 코프로세서의 메모리에 저장한 다음 차례로 유형 분류를 위한 입력 패턴을 유형 분류 신경망에 차례로 전달하여 유형 분류를 수행한 다음 유형 분류의 결과에 따라 자소 인식 신경망을 이용하여 각 유형의 문자의 자소를 인식한다. 인식 결과를 이용하여 최종 조합형 한글 코드로 변환한 다음 다시 호스트 컴퓨터로 그 결과를 보낸다.

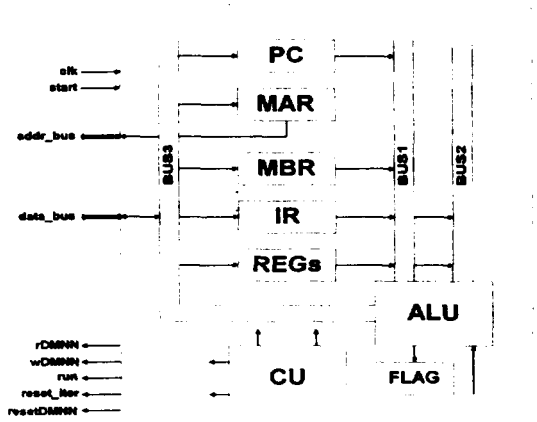
코프로세서내의 컨트롤러 구조는 (그림 7)과 같다. 전체 구조는 세개의 데이터 버스를 사용한 구조로 이루어져 있다. 제어 신호를 발생하는 제어부 CU(Control Unit)는 마이크로 프로그램 제어장치(micro-programmed control unit)로써 CU에서 발생된 제어신호에 의해 세 개의 버스를 통한 메모리와 DMNN, 그리고 레지스터들과의 데이터 입출력을 제어하여 동작을 수행하게 된다.



(그림 5) 64×40×32 DMNN의 회로도.
(Fig 5) Schematic diagram of a 64×40×32 DMNN.



(그림 6) 신경망 코프로세서 블럭도.
(Fig 6) Block diagram of a DMNN coprocessor.

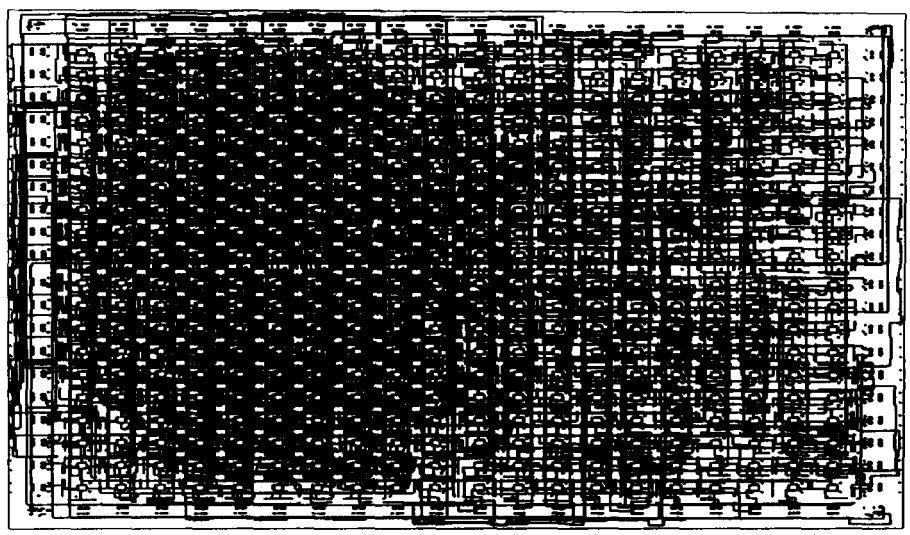


(그림 7) 컨트롤러의 블럭도.
(Fig 7) Block diagram of a controller.

(그림 8)은 CU를 VHDL 모델링한 후 Synopsys사의 합성도구를 이용하여 설계한 후 이를 Xlinx사의 FPGA로 구현한 layout을 보여준다. 모든 레지스터는 상승 클럭에서 버스 3으로부터 데이터를 받아들이고 하강 클럭에서 버스 1 또는 2로 데이터를 출력한다. 제어신호 'RDMNN'과 'WDMNN'은 신경망에서 데이터를 읽거나 쓰기 위한 신호이며, 'run'과 'reset_iter'는 신경망 동작을 위한 신호이며, 'resetDMNN'은 신경망을 모든 초기 정보를 reset 시키기 위한 신호이다.

전체동작은 물론 프로그램에 의해 실행되며 사용할 수 있는 코프로세서의 명령어 그룹(instruction group)은 데이터 전송, 데이터 제어, 연산, 그리고 신경망 제어의 네가지 그룹으로 분류할 수 있으며 6가지의 어드레싱 모드를 지원한다. 특별히 신경망 제어를 위하여 RDMNN, WDMNN, DMNNdo 등의 명령어가 제공된다. RDMNN 명령어는 신경망에서 출력된 데이터를 메모리에 저장하는 동작을 수행하며, WDMNN 명령어는 메모리에서 데이터를 가져와 신경망에 저장하는 동작을 한다. DMNNdo 명령어는 인식할 패턴을 입력한 후 출력이 나오기까지의 신경망을 동작시키는 명령어이다. 전체 동작을 수행하는 프로그램은 이진 코드로 프로그램 ROM에 저장하였다. 명령어 집합과 형식 및 마이크로 프로그램 제어에 관한 자세한 내용은 [17]을 참조할 수 있다.

본 연구에서 제안한 신경망 coprocessor는 50 MHz로 동작하며 신경망내의 모든 수는 10 비트 고정점 수로 나타내어 같은 계층내의 모든 신경망 연산은 동시에 처리되며 $2^{10}=1024$개의 클록이 소요된다. DMNN 신경망은 세 개의 계층으로 구성되므로 한번의 앞먹임 연산을 위하여 3072 클록이 필요하다. 따라서 한 개의 문자를 인식하기 위하여 1개의 유형 분류 신경



(그림 8) 제어부(CU)의 FPGA 배선도.
(Fig. 8) FPGA layout of a Control

망과 4개의 자소 인식 신경망의 동작이 필요하므로 총 15360 클록이 소요되며 여기에 새로운 신경망으로 전환할 때마다 8개의 클록 싸이클이 추가로 소모되어 모두 15400 클록이 필요하다. 따라서 초당 약 3250(≒ $50\times10^6/15400$) 자의 인식속도를 지원할 수 있다. 물론 이와같은 문자인식속도는 host 컴퓨터에서의 전처리 및 후처리 과정이 인식속도의 병목(bottleneck)으로 작용하지 않을 경우 가능한 최대 인식속도이다.

4. 시뮬레이션 및 실험결과

〈표 1〉은 KSC5601 완성형 2305자 중 상위 1300자를 대상으로 한 것으로서, PC에서 다층 퍼셉트론을 이용하여 실험을 통해 얻은 515자를 학습 패턴으로 학습을 수행한 후 1300자를 테스트 패턴으로 사용하여 분류한 결과를 나타내었다. 유형 분류율은 96.5%로써 '갈'과 같은 유형의 글자를 '괄'과 같은 유형으로 오분류하는 경우가 가장 많았고 반대의 경우도 많았다.

〈표 1〉 6가지 유형 글자별 분류 성공율
〈Table 1〉 Correct classification rate for 6 types of Characters

유형	1형식	2형식	3형식	4형식	5형식	6형식
분류율	99%	100%	95.4%	93.7%	100%	94.7%
대상 문자수	221자	97자	110자	433자	291자	151자

유형 분류 $64\times35\times6$ DMNN에 의해 각 유형으로 분류된 문자는 각 유형별로 대략적인 자소 영역의 위치가 결정되므로 각 유형별로 분류한 문자를 초성 자음, 중성 수평 모음, 중성 수직 모음, 종성 자음으로 자소를 분리한 후 각각 크기 정규화를 시켰다. 크기 정규화를 시킨 각 자소의 특징을 추출기 위해 분할된 영역에 따라 5가지 윈도우를 이용하여 6×6의 매쉬 특징 값들을 추출하였고 문자의 정보가 대부분 포함되도록 한계 값을 두어 한계값 이상이면 1로, 한계값 이하이면 0으로 정규화하여 이 값을 신경망의 입력으로 사용하였다. 초성 자음 신경망의 구조는 입력층 36, 중간층 34, 출력층 19개로 구성하였다. 19개의 초성 자음을 인식할 수 있도록 출력층을 19개의 뉴론으로 구성하였다. 마찬가지로 중성 수평 모음, 중성 수직 모음, 종성 자음 신경망의 구조는 학습을 통하여 각각 $36\times25\times5$, $36\times32\times9$, $36\times40\times27$로 구성하였다.

〈표 2〉 자소 인식 신경망의 인식률
〈Table 2〉 Correct recognition rate for 4 consonants

신경망	초성 자음	중성 수평 모음	중성 수직 모음	종성 자음
인식률	99.4%	99.6%	97.8%	98.5%
대상 자소	1186%	549개	853개	927개

〈표 2〉는 4개의 자소 인식 신경망의 인식률을 보여

〈표 3〉 다른 한글 인쇄체 인식 시스템과의 비교
〈Table 3〉 Comparision with other Korean printed character recognition systems

제목	인식률	인식 처리 속도	특징 추출
신경회로망을 이용한 다중 크기 및 다중 활자체의 한글과 혼용문서 인식 시스템[17]	94.5%	0.05초/자	망(mesh)특징
신경회로망을 이용한 한글 한자 혼용 문서 인식에 관한 연구[18]	94%이상	0.16초/자	망(mesh)특징
계층적 신경망을 이용한 다중 크기의 다중 활자체 한글 문서 인식[19]	94.5%	0.73초/자	망(mesh)특징
개선된 자소 인식 방법을 통한 고인식률 인쇄체 한글 인식[20]	99.65%	0.5초/자	망(mesh)특징
한글 인쇄체 문자인식 전용 신경망 코프로세서의 구현에 관한 연구	95%	0.0003초/자	망(mesh)특징

준다. 〈표 2〉에서 알 수 있듯이 중성 수직 모음 신경망에서 'ㅑ'를 'ㅓ'로 오인식하거나 'ㅖ'를 'ㅔ'로 오인식하는 경우와 반대의 경우도 많았다. 종성 자음 신경망에서는 자소 분리시 포함된 잡음의 영향을 받아 오인식하는 경우가 많았다.

〈표 1〉과 〈표 2〉의 유형 분류 및 자소 인식 결과를 토대로 자소 조합을 거쳐서 출력된 문자에 대한 인식률은 95%의 결과를 보였다. 오인식 문자에 대해서는 각 신경망의 최대 출력값 중 2번째와 3번째가 되는 후보 문자를 이용하여 재인식한다면 더 나은 인식률을 얻을 수 있는데, 제 2 후보 문자를 오인식 문자 대신에 적용하였을 경우에는 96%의 인식률을 얻을 수 있고, 제 3 후보 문자까지 적용할 경우에는 98%이상의 인식률을 얻을 수 있을 것이다.

〈표 3〉은 지금까지 신경망을 이용한 한글 인쇄체 인식 연구결과와 본 연구에서 제안한 신경망 코프로세서를 이용한 인식률 및 성능을 비교한 것이다. 표에서 볼 수 있는 바와같이 한글 인쇄체 인식전용 VLSI 코프로세서를 이용할 경우 인식률에 있어서 거의 대등한 성능을 보이는 반면 인식속도에서는 소프트웨어 기반 인식 시스템보다 월등한 성능을 보여줌을 알 수 있다.

5. 결 론

본 논문에서는 대규모 신경회로망을 디지털 방식으로 설계할 때 문제되는 과도한 하드웨어 면적을 줄이고 병렬처리를 극대화하기 위하여 확률적 연산 기법과 랜덤 펄스열을 이용한 구조인 DMNN이라는 VLSI 디지털 다계층 신경망을 수정하여 1개의 신경망 하드웨어로 다수의 다층구조 신경망 구성이 가능하도록 설계하였다. 수정 설계된 DMNN을 한글 인쇄체 인식 시스템에서의 인식 프로세스를 고속화할 수 있는 전용 하드웨어로 사용하기 위하여 신경망 코프로세서의 구조를 제안하였으며 이를 VHDL 모델링 및 논리합성을 통하여 설계하였다.

설계된 코프로세서를 한글 인쇄체 인식 시스템의 유형 분류 및 자소 인식 전용 신경망으로 이용하는 실험을 통하여 기존에 제안된 소프트웨어 기반 유형 분류 성공률 및 자소 인식률과 거의 대등한 성능을 보여 주었다. 반면, 설계된 DMNN 프로세서는 50 MHz의 클록으로 동작하며 초당 약 6,500 유형 분리 및 자소 인식이 가능하여 초당 평균 3,250자의 인식 처리가 가능하므로 제안된 코프로세서가 VLSI 칩으로 구현될 경우 기존의 상용 한글 문서 인식 시스템의 인식률을 유지하면서 인식속도를 훨씬 고속화할 수 있게 되어 고성능의 실시간 문서 인식 시스템의 개발에 기여할 수 있을 것이다. 한글 인쇄체 인식 전용 DMNN 코프로세서는 신경망 연산을 다중 프로세서를 이용하여 병렬처리하는 기존의 다른 신경망 코프로세서나 신경망 가속기와는 달리 신경망 구조를 그대로 집적회로로 구현하였으며 문자인식 이외의 음성 및 영상등의 패턴인식기로도 활용이 가능한 구조이다.

제안된 코프로세서는 DMNN이 정확히 동작하는가에 중점을 두어 간단한 구조로 설계되어 데이터 bandwidth가 DMNN의 병렬 처리 능력을 충분히 지원하지 못하는 단점이 있다. 현재, 본 연구팀은 제안된 신경망 코프로세서의 구조를 개선하고 버스 bandwidth를 극대화하기 위하여 RISC 프로세서를 이용한 고성능 DMNN 코프로세서의 구조 및 응용 보드 개발 연구를 수행하고 있다.

참 고 문 헌

[1] A. Rajavelu, M. T. Musavi, M. V. Shivaikar, "A Neural Network Approach to Character Recognition," Neural Networks, Vol. 2, pp. 387-393, 1989.

[2] K. W. Gan, K. T. Lua, "Chinese Character Classification Using an Adaptive Resonance Network," Pattern Recognition, Vol. 25, No. 8, pp. 887-882, 1992.

[3] P. N. Chen, Y. S. Chen, W. H. Hsu, "Stroke Relation of Multi-font Printed Chinese Character," Int'l Jounal of PRAI, Vol. 1, No. 1, pp. 149-160, 1988.

[4] 도정인, "한글 문서 인식 시스템의 개발," 정보과학회지, Vol. 9, No. 1, pp. 22-32, 1991.

[5] 이일병, 이관용, "문자인식 신경회로망 연구," 정보과학회지, Vol. 10, No. 2, pp. 27-38, 1992.

[6] 권재욱, 조정배, 김진형, "계층적 신경망을 이용

한 다중 크기의 다중활자체 한글 문서 인식," 정보과학회지, Vol. 19, No. 1, pp. 69-79, 1992년 1월.

[7] 김우태, 윤병식, 박인규, 진성일, "인쇄체 한글 문자인식을 위한 특징성능의 비교," 정보과학회지, Vol. 20, No. 8, pp. 1103-1111, 1993년 8월.

[8] 이판호, 장희돈, 남궁재찬, "동적자소분할과 신경망을 이용한 인쇄체 한글 문자인식에 관한 연구," 통신학회지, Vol. 19, No. 11, pp. 69-81, 1994년 11월.

[9] 강선미, 이기용 외, "고속문자인식을 위한 특징량 추출에 관한 연구," 전자공학회지, 제29권, B편, 제11호, pp. 102-109, 1992년 12월.

[10] 오상훈, 이영직, "신경회로망의 아날로그 VLSI 구현시 나타나는 문제점," 전자통신동향분석, pp. 75-80, 1994년 4월.

[11] 한일송, "신경망 VLSI 기술의 발달과 현재," 정보통신, pp. 803-808, 1992년 11월.

[12] A. F. Murray and A. V. W. Smith, "Asynchronous VLSI Neural Networks using Pulse-stream Arithmetic," IEEE J. of Solid-State Circuits, Vol. 23, no. 3, pp. 688-697, June 1988.

[13] D. E. van den Bout and T. K. Miller, "A Digital Architecture employing Stochasticism for the Simulation of Hopfield Neural Nets," IEEE Trans. on Circuits and Systems, Vol. 36(5), pp. 732-738, May 1989.

[14] Y. C. Kim and M. A. Shanblatt, "Random Noise Effects in a Pulse-Mode Digital Multilayer Neural Network," IEEE Trans. on Neural Networks, Vol. 6, No. 1, pp. 220-229, Jan 1995.

[15] Y. C. Kim and M. A. Shanblatt, "Architecture and Statistical Model of a Pulse-mode Digital Multilayer Neural Network," IEEE Trans. on Neural Networks, Vol. 9, No. 1, pp. 1109-1118, Sep. 1995.

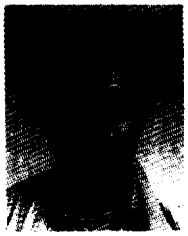
[16] 양종원, DMNN 신경망을 이용한 온라인 한글 필기체 인식에 관한 연구, 전남대학교 석사 학위 논문, 1997년.

[17] 김우태, 신경회로망을 이용한 다중 크기 및 다중 활자체의 한글과 혼용문서 인식 시스템, 경북대학교 박사 학위 논문, 1993년.

[18] 김우성, 방승양, "신경회로망을 이용한 한글 한자 혼용문서 인식에 관한 연구," 전자공학회지, 제29권, B편, 제2호, pp. 50-59. 1992년 2월.

[19] 권재옥, 조성배, 김진형, "계층적 신경망을 이용한 다중 크기의 다중 활자체 한글 문서 인식," 정보과학회지, 제19권, 제 1호, pp. 69-79, 1992년 1월.

[20] 이 진수, 권 오준, 방 승양, "개선된 자소 인식 방법을 통한 고인식률 인쇄체 한글 인식," 정보과학회지, 제 23권, B편, 제8호, pp. 841-851, 1996년 8월.



김 영 철

1981년 한양대학교 전자공학과 졸업(공학사)

1987년 미국 디트로이트 대학 대학원 전기공학과(공학석사)

1993년 미국 미시간 주립대학 대학원 전기공학과(공학박사)

1993년~현재 전남대학교 전자공학과 조교수

관심분야: 신경회로망, VLSI/ASIC 설계, 패턴인식

이 태 원

1993년 전남대학교 전자공학과 졸업(공학사)

1996년~현재 전남대학교 대학원 전자공학과(석사과정)

1993년~1995년 ROTC 장교

관심분야: 신경회로망, 패턴인식