

고속 · 저전력 CMOS 아날로그-디지털 변환기 설계

이 성 대* 홍 국 태** 정 강 민***

요 약

이 논문에서는 고속 저전력 분야에 적용하기 위한 8비트, 15MHz A/D 변환기 설계에 관해 기술한다. 2단 플래시 방식인 서브레인지 구조 A/D 변환기에서 칩 면적을 줄이기 위해 저항의 수를 감소시킨 전압분할 회로를 설계하였다. 비교기는 80 dB의 이득, 50 MHz의 대역폭, 오프셋 전압이 0.5mV이고, 전압분할 회로의 최대오차는 1mV이다. 설계된 A/D변환기는 +5/-5V 공급 전압에 대해 전력소비가 150mW, 지연시간이 65ns이다. 이 A/D 변환기는 N-well공정을 이용하여 설계하고, 제작하였다. 제안된 변환기는 고속, 저전력, 소형 단일 칩 아날로그-디지털 혼합 시스템 응용에 적합하다. 시뮬레이션은 PSPICE를 이용하여 수행하였고, 1차 가공된 칩을 테스트 하였다.

A Design of CMOS Analog-Digital Converter for High-Speed · Low-power Applications

Seong Dae Yi*, Kuk Tae Hong** and Kang Min Chung***

ABSTRACT

A 8-bit 15MHz CMOS subranging Analog-to-Digital converter for high-speed, low-power consumption applications is described. Subranging, 2 step flash, A/D converter used a new resistor string and a simple comparator architecture for the low power consumption and small chip area. Comparator exhibits 80dB loop gain, 50MHz conversion speed, 0.5mV offset and maximum error of voltage divider was 1mV. This Analog-to-Digital converter has been designed and fabricated in 1.2 μm N-well CMOS technology. It consumed 150mW power at +5/-5V supply and delayed 65ns. The proposed Analog-to-Digital converter seems suitable for high-speed, low-power consumption, small area applications and one-chip mixed Analog-Digital system. Simulations are performed with PSPICE and a fabricated chip is tested.

1. 서 론

A/D 변환기의 종류는 변환방식에 따라서 여러가지 형태가 있으며, 고속회로로 설계하기 위해서는 병렬고속 형태인 플래시(flash) 방식과 서브레인지(subranging)방식이 적합하다. <표 1>에서 8-비트 플래시 방식과 서브레인지 방식을 회로 구조와 변환시간의 관점에서 차이를 비교하였다. 전자의 경우 한 클럭 주기 동안 데이터의 변환이 일어나므로 높은 변환속도를 얻을 수 있는 반면, N-비트 분해능을 갖기 위해서는

2^N개의 비교기를 필요로 하며, 큰 칩 면적 및 큰 전력소비를 수반하는 단점이 있다. 2단 플래시 형태인 서브레인지 방식의 A/D 변환기는 N-비트의 경우 2^{N-1}개의 비교기만을 사용하므로 칩 면적이 크게 감소된다. 특히, 전체 전력소비의 90% 이상을 차지하는 비교기 수의 감소는 저전력 요구에 큰 장점이 된다[2].

이 논문에서는 고속 저전력 8 비트 CMOS 서브레인지 A/D 변환기의 설계 방법, 변환기의 기본구조 및 동작에 대해 설명한다. 고속 저전력 특성을 가지는 비교기와 발생오차에 대한 보정능력을 가지며 파인(fine) 저항열을 간편하게 선택할 수 있는 엔코딩 논리를 설계한다. 또한, 본 논문에서 제안한 칩 면적을 감소시킬 수 있는 저

* 정 회 원 : 안산공업전문대 전자과 전임강사

** 정 회 원 : 성균관대학교 전자공학과 박사과정

*** 정 회 원 : 성균관대학교 전자공학과 교수

논문접수 : 1994년 10월 14일, 심사완료 : 1995년 1월 3일

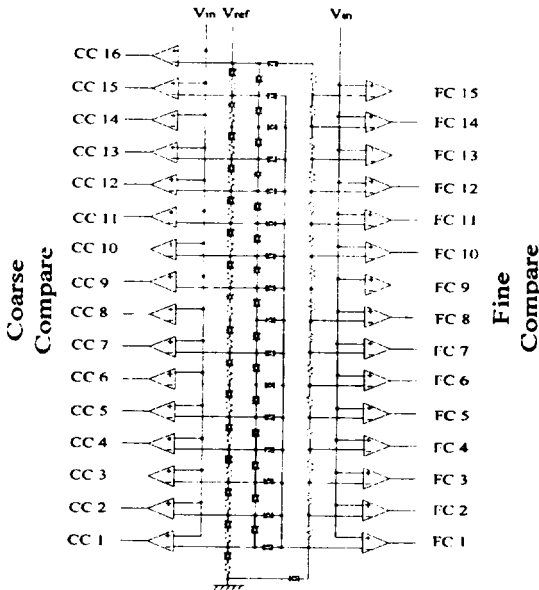
항열의 구조와 특징을 설명하였다. 그리고, 각 블록 및 전체 칩의 레이아웃, 시뮬레이션과 테스트 결과를 제시하였다.

<표 1> 8비트 플래시와 서브레인지 A/D 변환기의 비교 [2]
 <Table 1> Trade-offs in 8bit flash & subranging A/D converter architecture

	플래시	서브레인지
비교기총수	256	31
소요 클럭 주기	1	2
상 대 속 도	1	0.5
상 대 입 력 부 하	1	0.12
상 대 전 력 소 비	1	0.2
칩 크 기	1	0.4

2. 서브레인지 A/D 변환기

서브레인지 A/D변환기는 파인 단의 기준전압을 얻는 방법에 따라, D/A변환기와 가산기 블록을 사용하는 경우와 저항열을 사용하는 경우, 두

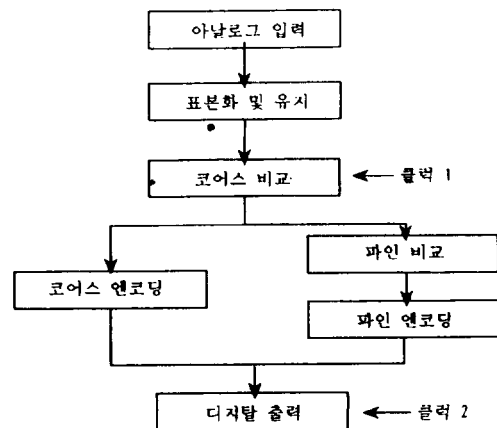


(그림 1) 서브레인지 A/D 변환기의 기본구조
 (Fig. 1) The architecture of subranging A/D converter

가지로 나눌 수 있다. 이 논문에서는 구성이 간단하고 지연시간이 감소하는 이점이 있는 저항열 구조를 채택하였다. (그림 1)은 8비트 CMOS 서브레인지 A/D 변환기의 구조이다. 변환기의 구성은 상위 4-비트를 변환하기 위한 코어스(coarse) 플래시와 하위 4-비트를 변환하기 위한 파인 플래시, 비교기의 기준전압을 얻기 위한 전압분할 회로로 나눌 수 있다. 이 구조는 16개의 코어스 비교기와 15개의 파인 비교기가 입력 전압과 전압분할 회로를 공유하는 형태이다. 코어스 비교기의 출력은 저항열의 CMOS 스위치 제어에 이용되어 선택된 전압 레벨을 파인 비교기에 공급한다.

[2]에서 제안하는 종래의 구조에서는 전압분할을 위한 저항열이 코어스 저항 한개당 16개의 파인 저항에 병렬로 연결되는데 반해, MOS스위치를 이용하여 파인 저항이 실제 비교가 일어나는 전압레벨의 코어스 저항과 대체된다. 따라서, 회로구조가 간단해지고 저항 수요가 줄어들음으로 인해 칩 면적이 감소되는 장점을 가지면서도, 변환속도와 분해능이 저하되지 않는다. 설계한 서브레인지 A/D 변환기의 동작은 다음과 같이 세단계로 나눌 수 있고, 이 과정을 (그림 2)에 나타 내었다[6].

① 코어스 비교; 홀드된 아날로그 신호가 비



(그림 2) 서브레인지 A/D변환기의 동작 알고리즘
 (Fig. 2) Algorithm for 8 bit subranging A/D converter

교기의 입력으로 들어온다. 비교가 이루어진 후 파인 저항열을 선택하기 위한 디지털 출력이 코어스 측 래치에 인가되고 클럭을 기다린다.

② 파인 비교 : 첫번째 클럭(CK1)이 들어오면 선택된 코어스 저항 일부분이 파인 저항열로 대체된다. 이와 동시에 상위 4비트 코어스 엔코딩과 파인 비교 및 하위 4비트 파인 엔코딩이 약간의 지연시간을 두고 수행된다.

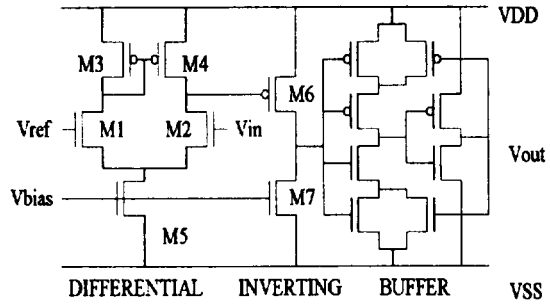
③ 출력 과정 : 두번째 클럭(CK2)이 들어오면 디지털 신호로 변환된 데이터가 출력측 래치를 통해 출력 측에 공급되고 코어스 측 래치는 초기화 작업(파인측 기준전압 공급을 중단)을 행한 뒤 새로운 신호에 대하여 ① 과정을 반복한다.

3. 세부 구성 블록

3.1 고속 저전력 비교기

A/D 변환기에서 가장 중심이 되는 블록은 비교기이다. A/D변환기의 성능의 척도가 되는 변환속도, 분해능은 비교기의 성능에 의해 결정된다. 비교기는 8비트 분해능을 얻기 위해서 65dB 이상의 이득을 가져야 하며, 고속으로 동작하기 위해서 높은 슬루레이트(slew rate)가 요구된다. 또, 비교기의 크기와 전력소비는 전체 칩의 면적, 전력소비 특성에 큰 영향을 미치므로 적은 크기와 저전력 특성을 갖도록 설계해야 한다[5].

(그림 3)은 8-비트 분해능을 얻기 위한 간단한 형태의 차동 비교기이다[3]. 이 비교기는 차동입력 비교기와 반전 비교기를 복합시킨 형태이다. 차동 입력 비교기의 경우 CMR(common mode range)내의 입력신호를 비교할 수 있도록 트립(trip) 전압을 제어할 수 있는 장점이 있으나, 출력 노드를 통해서 출력되는 신호는 공급전압원쪽으로 편중되어, 다음 단의 디지털 회로와 인터페이스 시킬 때에는 적절치 못하다. 반면 반전 비교기의 경우 trip 전압은 단지 공급전압, 임계전압과 같은 요소에 의해서 고정된 값이므로 넓은 범위의 입력 신호를 비교할 수는 없으나, 완전한 출력 스윙이 가능하다[7, 8].



(그림 3) 설계된 비교기
(Fig 3) Comparator circuit

그러므로, 첫단에서 차동 입력 비교기를 사용하여 양호한 트립 전압 특성을 얻은 후 두번째단의 반전 비교기를 통해 출력시켜서 출력신호의 범위를 V_{DD}에서 V_{SS}까지 확장시킴으로써 두 비교기의 장단점을 상호 보완시킨 비교기의 구조를 얻게 된다. 마지막 단의 버퍼는 출력 단에 걸리는 큰 부하를 구동할 수 있도록 설계한다.

이 3단 비교기를 설계하는 과정은 다음과 같다. 먼저 지연시간의 중요한 요인이 되는 슬루레이트 (출력이 입력을 충실히 추적하는 것에 대한 척도)의 관계식 (1)로부터 출력 전류를 결정한다. 이때 출력전류가 크면 클 수록 비교기의 지연시간이 줄어드는 반면 전력소비가 커지게 되므로 출력전류를 얻을 시 지연시간과 전력소비 간의 적절한 타협이 요구된다.

$$I_{out} = S \cdot C_L \tag{1}$$

S : 슬루레이트

C_L : 부하 캐퍼시턴스

15MHz 이상의 변환속도를 얻기 위해서는 각 비교기 단에서의 지연시간이 30ns 이내, 즉 슬루레이트가 3.33V/ns 이상의 값을 가져야한다. 따라서 10pF의 부하에 대해 출력전류는 3.33 mA로 결정된다. 반전 비교기의 출력전압 범위는 (W/L)₆과 (W/L)₇의 값에 관계된다. (W/L)₆과 (W/L)₇의 값이 커질수록 전압스윙이 커지게 되며, 반전 비교기의 이득이 커지게 된다[1].

다음에 기준전압 범위에 대한 원하는 분해능을

얻기 위한 이득을 결정한다. 입력의 범위를 0~2V로 가정할 때, 0.5LSB가 4mV 이므로 이 전압에 반응하기 위해서 비교기 이득은 65dB 이상이어야한다. 이득은 1250 이상의 상당히 큰 값이므로 단일 단만으로 이득을 얻기 위해서는 큰 트랜지스터 크기와 큰 전류를 필요로 한다. 따라서, 비교기를 두개의 이득단으로 구성하여, 각단에 적절히 이득 A_1 , A_2 를 분배한다[9].

각 단 이득 A_1 , A_2 의 비는 식 2)와 같다.

$$A_1 : A_2 = \sqrt{\frac{(W/L)_5}{I_5}} : \sqrt{\frac{(W/L)_6}{I_6}} \quad (2)$$

$(W/L)_5$ 과 $(W/L)_6$ 의 값은 I_5 (=44.9 μ A)와 I_6 (=289 μ A)의 값에 의해서 결정되고, A_1 과 A_2 의 이득은 각각 78.5, 16으로 결정하였다.

3.2 저항열

D/A변환기를 사용하지 않는 구조에서는 저항열의 정확도가 A/D 변환기의 분해능을 결정하는 중요한 요소이고, MOS 공정으로 저항을 구현하기 위해서는 큰 칩 면적을 필요로 한다.

이 논문에서는 칩 면적 감소를 위해 저항의 수를 크게 줄이고, 정확한 저항 값을 얻기 위한 방법으로 파인 저항 값을 단위 저항값으로 사용한

새로운 저항열 회로를 설계하였다. (그림 4)는 이 저항열 구조의 상세도이다. (그림 4)는 저항열에 의한 전압분할 회로로서, 코어스 비교단에 있는 래치의 출력에 의해 코어스 저항 1개가 파인 저항열로 대체되는 구조를 가지고 있다.

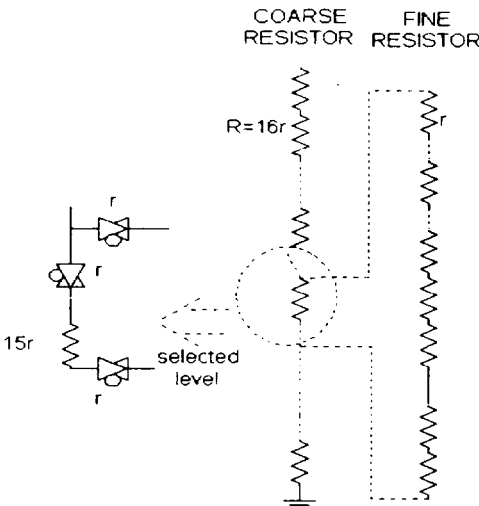
기존의 서브레인지 방식[2]의 A/D 변환기가 가지고 있는 저항수와 비교하여 볼 때, 이 구조는 저항의 수를 현저하게 감소시킨 것을 알 수 있다. VLSI 설계시 저항을 구현하기 위해서는 상당한 칩 면적이 필요하므로 저항의 감소는 칩 면적을 크게 줄이게 되는 좋은 효과를 기대할 수 있다. 파인 측 저항은 단위 저항의 값과 동일한 300 Ω 의 저항 값을 가지도록 하였고, 모든 저항은 공정에 의한 편차를 줄이기 위해, 가장 오차가 적은 폴리실리콘으로 구현하였다. 이 연구에서 사용된 공정에서 폴리실리콘 저항을 구현할 경우 저항 값이 20ohm/sq이므로, 단일 코어스 저항 1개가 차지하는 면적은 240 μ m², 단일 파인 저항 1개가 차지하는 면적은 15 μ m²이다. 따라서, 기존의 저항열을 이용한 전압분할 회로에 비하여 제안된 형태의 저항열을 사용할 경우 240 \times 96 μ m²=23040 μ m²의 면적(전체 면적의 약20%)이 줄어드는 이점을 가진다.

일반적인 저항열을 사용하는 구조와 이 논문에서 제안하는 구조의 비교를 <표 2>에서 기술하였다.

<표 2> 저항열의 비교

<Table 2> Comparison of two resistor strings

	기존의 저항열	새로운 저항열
저항 수	512	272
스위치수	32	48
면적비	1	0.53



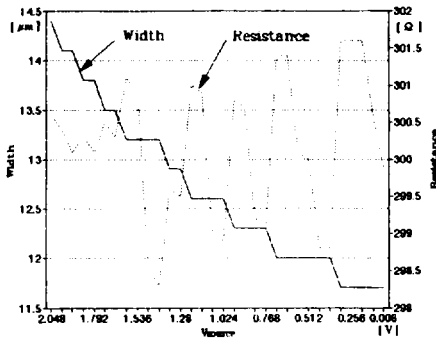
(그림 4) 저항열의 구조
(Fig. 4) Resistor string

원하는 8비트 분해능을 얻기 위해서 코어스 저항은 4비트 레벨로 분할하면 되지만, 선형성오차(linearity error)의 원인이 되는 파인 저항열은 선택된 기준 전압레벨을 정확히 8mV 단위로 분할해야 한다. 그러므로, 비교기에서의 오프셋

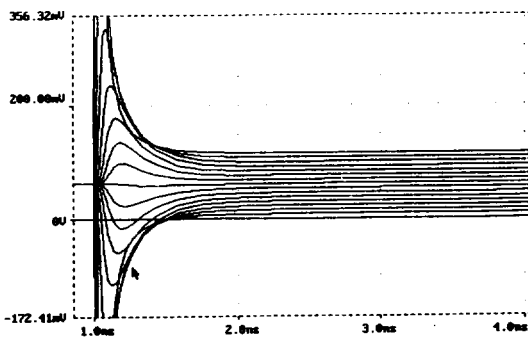
을 고려한다면 저항열에서의 전압 오차는 1mV 이내로 제한되어야 한다.

MOS 스위치를 사용할 경우, 요구되는 정확도를 얻기 위하여 MOS 스위치가 작은 저항값을 갖도록 설계하여, MOS 스위치의 ON 저항이 전체 저항열의 저항값에 미치는 영향을 줄이도록 설계하였다. 즉 공정에 따른 MOS 스위치의 저항값 변동이 전체 저항값의 약 1% (약 3Ω) 이하가 되도록하여 그 영향을 무시할 수 있도록 하였다. 이 논문의 경우 저항열에서 발생하는 최대 저항값 오차는 2Ω이다[10].

각각의 MOS 스위치에 인가되는 게이트 입력 전압은 전압분할 회로내에서 다른 값을 가지고, 공정과정에서 MOS 스위치의 W값에 약간의 편차가 발생한다. 이러한 영향을 고려하여, (그림 5)에서 게이트 입력 전압변화와 W값의 변화(L



(그림 5) MOS 스위치의 ON 저항 변화
(Fig. 5) ON resistance of MOS switches



(그림 6) 저항열의 전압분할 특성
(Fig. 6) Characteristics of voltage division on resistor string

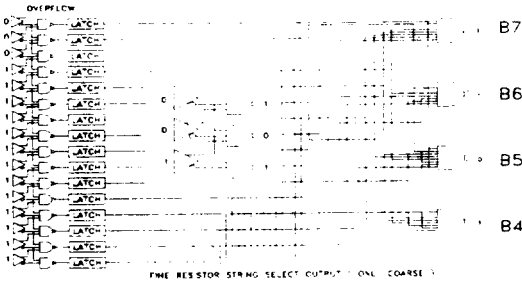
값 고정)에 대한 MOS 스위치의 ON 저항 변화 특성을 보였다. 저항값의 오차는 최대 3.1Ω 이에 따른 발생 전압오차는 ±1% 이내이므로 앞에서 기술한 분해능 저하를 막기 위한 조건 (공정에 의한 MOS 스위치 ON 저항 편차가 1% 이내이어야 한다)을 만족하므로 안정된 전압분할 특성을 얻을 수 있다.

시뮬레이션을 통해 얻어진 전체 저항열의 전압분할 특성을 (그림 6)에서 보이고 있다. 새로운 형태의 저항열의 전압분할 특성 시뮬레이션 결과에서 안정된 전압분할에 이르기까지 1ns 미만의 지연시간이 요구되고, 최대 0.121 LSB의 오차가 발생함을 알 수 있다. 따라서 이 저항열을 사용하는 경우 큰 오차없이 8비트 분해능을 얻을 수 있다.

3.3 오차보정 엔코더 및 래치

(그림 7)은 2단계 NAND 게이트로 구현된 엔코더이다. 이 엔코딩 회로는 비교기에서 발생하는 글리치에 의한 에러를 감지하고 보정할 수 있는 기능을 가지는데, 오차 보정을 위한 추가적인 논리가 필요하지 않다는 장점이 있다.

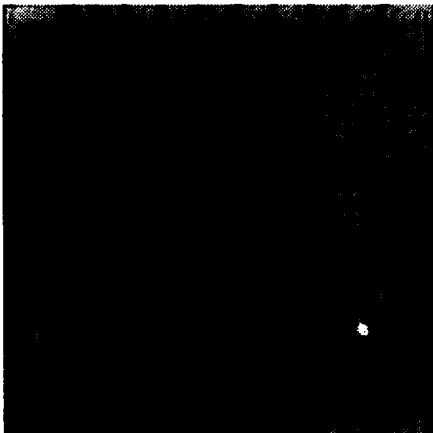
이 회로의 3-입력 NAND 게이트의 출력은 $NC = \overline{C_{-1}} + \overline{C_0} + \overline{C_{+1}}$ 이다. 즉, NAND 게이트의 출력은 위 단과 자신의 비교기 출력이 '0'이고, 아래 단 비교기 출력이 '1'일 때만 '0'을 출력한다. 그러므로, 이 NAND 게이트는 비교기 출력 (예 : 0000011111111111)의 논리값이 에러에 의해 '1'에서 '0'으로 변하는 위치를 검출하고 이를 보정한다. 예를들어, 비교기 출력이 000001111-011111과 같이 6번째 비교기 출력에서 오차가 발생했을 때, 6번째 NAND 게이트 출력은 이와 관계없이 정확한 값 '1'을 출력한다. 이 NAND 게이트로 부터 출력되는 신호로 파인 저항열을 선택하며, 출력신호는 8-입력 NAND 게이트를 통과하여 최종 엔코딩이 이루어진다. 따라서, 추가적인 논리회로 없이 간편하게 파인 저항열을 선택할 수 있다.



(그림 7) 엔코딩 로직의 구조
(Fig. 7) Logic diagram of encoder

4. 레이아웃

레이아웃은 CMOS 1.2 μ m 디자인 규칙에 따라 CMOS N-well 공정기술이 이용되었으며, 아날로그 회로인 비교기와 저항열은 풀 커스텀 방식으로, 디지털 회로는 표준 셀 방식으로 설계하였다. 비교기는 제한된 칩크기와 정확도를 고려하여 설계하였고, 저항열은 20 Ω/\square 의 폴리실리콘을 사용하였고, 정확한 설계를 위해 300 Ω 의 단위 저항을 설정하였다. 디지털 부분의 PMOS는 W=6 μ , L=1.2 μ 의 크기를 기본으로 하는 트랜지스터를 사용하였고, NMOS 경우는 W=3 μ , L=1.2 μ 의 크기를 기본으로 사용하였다. 부하가 큰 경우에는 팬 아웃을 고려하여 이보다 큰



(그림 8) 칩 사진
(Fig. 8) Photograph of Chip

트랜지스터를 설계하였다[4]. 블록 상호간의 배선의 용이성을 고려하여 코어스와 파인블록은 대칭적 구조로 배치하였다. 각 비교기 단을 중심으로 16개의 배열로 구성된 8비트 A/D 변환기의 각 열은 비교기, 저항열, 래치, 그리고 일부의 엔코딩 회로로 구성된다.

(그림 8)은 제작된 칩의 사진을 보이고 있다. 2.28 \times 2.28mm²의 die 크기에 설계된 A/D 변환기 셀 크기는 0.768 \times 1.068mm²이다.

5. 시뮬레이션에 의한 칩 특성 요약 및 테스트 결과

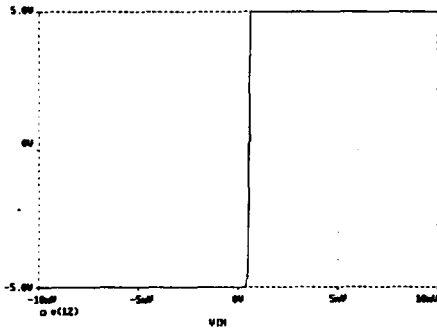
5.1 시뮬레이션 요약

시뮬레이션은 Orbit semiconductor 사의 1.2 μ m CMOS N-well 공정변수를 이용하여 SPICE에서 수행하였다. 비교기, 엔코더 및 전압분할 회로에 대한 시뮬레이션을 수행하고, 그 결과를 각각 그림으로 도시하였다. (그림 9, 10, 11)은 비교기 시뮬레이션 결과이며, 설계한 비교기는 오프셋 전압이 0.5mV이다. 또한, 비교기 이득은 약 80dB, 대역폭은 50MHz (그림 11)이며, 상승 및 하강 지연시간은 각각 30, 28ns이다(그림 10).

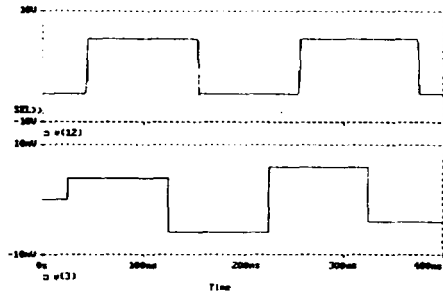
이 논문에서 구현한 A/D 변환기는 0~2V 입력신호에 대해, 분해능은 8비트 이상, 지연시간이 65ns 이하(변환속도 15MHz 이상)가 되도록 설계되었다. 8비트 분해능을 얻기 위해서는 LSB 값이 8mV이며, 오차는 0.5 LSB(=4mV)이내로 제한되어야 한다. 즉, 요구되는 지연시간(40ns 이내)에 비교기 출력이 반응할 수 있는 차동 입력의 크기는 4mV 이상이다.

A/D 변환기에서 오차는 입력신호와 기준전압을 비교하는 비교기 단에서 발생하는 성분과 기준전압을 공급하는 전압분할 회로인 저항열에서 발생한다. 전자는 비교기 입력에서의 오프셋 성분이다. 특히 MOS회로에서는 큰 오프셋 값을 동반하게 되는데, 시뮬레이션 결과 설계된 비교기의 입력 오프셋은 0.5mV이다. 후자의 경우는

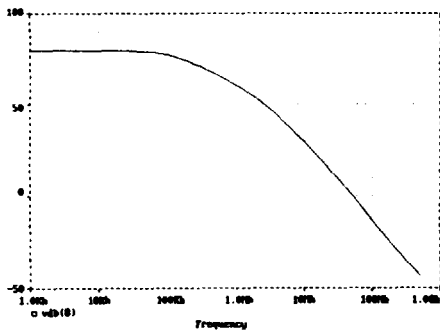
저항열의 저항 값 오차에서 기인하는 각전압 구간의 편차로 인해 발생하며, 이를 최대한 줄이기 위해서 3.2절에서 설명한 바와 같이 단일 기준 저항을 결정하여, 이의 정수 배로 각 저항을 구현하였다. 이렇게 구현한 저항은, 시뮬레이션 결과 오차 값이 1% 이내로 제한되고, 이에 따른 전압분할 회로에서의 전압오차는 1mV 정도이다.



(그림 9) 비교기의 DC 특성
(Fig. 9) DC characteristics of comparator



(그림 10) 비교기의 천이특성
(Fig. 10) Transient response of comparator



(그림 11) 비교기의 주파수 응답
(Fig. 11) Frequency response of comparator

(그림 10)의 비교기의 천이특성에서 알 수 있듯이 비교기는 그림의 아래 입력이 0.5 LSB값 (4mV) 이상인 차동 입력에 대해 상승 지연시간 30ns, 하강 지연시간 28ns로 반응(그림 10의 위)하며, 따라서 최대 지연시간은 30ns이다. 따라서, A/D변환기의 전체 지연시간은 디지털 회로의 게이트 지연시간을 고려하여도 코어스, 파인 두 단의 지연시간 합이 65ns보다 적으며, 15MHz 이상의 속도로 동작 할 수 있음을 알 수 있다. 비교기 전체에서 발생하는 전력소비는 약 140mW이고, 저항열과 디지털 회로에서 발생하는 전력소비는 5mW 이하이므로 전체 전력소비의 95% 이상이 비교기에서 일어난다.

시뮬레이션 결과를 통해 살펴본 성능특성은 비교기와 저항 열에서 발생하는 전체 오차의 크기는 2mV 이내로 요구조건을 만족하며, 4mV의 차동 입력에 대해 반응한다. 설계된 A/D 변환기는 원하는 8비트 분해능을 만족하며, 15MHz의 동작속도, 150mW 이내의 전력소비를 보이므로, 고속, 저전력 응용에 적합한 것을 예상할 수 있다.

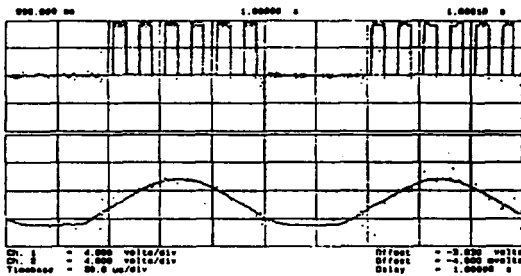
〈표 4〉 A/D변환기의 주요특성 시뮬레이션 결과 요약
(Table 4) Main characteristics of A/D converter

분 해 능	8비트
변 환 속 도	15MHz
입 력 범 위	0-2V
비교기 오프셋전압	0.5mV
이 득	80dB
대 역 폭	50MHz
전 력 소 비	4.53mW
공 급 전 압	+5/-5V
전 력 소 비	150mW
칩 크 기	0.768 × 1.068mm ²

5.2 실험결과

설계된 A/D 변환기는 1차 가공된 테스트 칩을 이용하여 간단한 테스트를 수행하였다. 출력을 얻기 위해 입력신호는 신호 발생기를 통해 공급되는 1MHz 사인파를 이용하였고, 입력 신호

의 변화에 따른 출력을 관찰하기 위해 디지털 스토리지 오실로스코프를 이용하였다. V_{DD} , V_{SS} 는 각각 4.5, -4.5V를, 바이어스 전압은 -2V를 인가하였고, 전 입력범위를 갖는 정현파 입력 신호에 대해 출력의 반응을 관찰하였다. 입력의 변화에 대해 A/D 변환기의 각 출력 핀에서 신호의 변화를 관측할 수 있었으며, 일반적으로 A/D 변환기에서 사용하는 비트는 3비트 이상이고, 최상위 비트, 비트6, 비트3 성분에 대한 분석을 수행한 결과 이 비트들이 정상적으로 동작하였으며 비트 3의 결과는 다음의 (그림 12)와 같다.



(그림 12) 비트3의 출력
(Fig. 12) Bit 3 output

6. 결 론

이 연구는 A/D 변환기 구조에 관한 검토, 이를 통한 기본구조의 결정, 그리고 설계목표에 맞는 세부 블록의 개발로부터 8비트 서브라인징 A/D 변환기를 설계하였다. 설계된 A/D 변환기는 시뮬레이션 결과 속도가 15MHz, 전력소비가 150mW 이하로, 고속, 저전력 응용에 적합한 특성을 가지고 있다.

이 변환기를 플래시 형태로 구현할 경우 속도는 2배(30MHz)로 증가하나 전력소비와 칩 면적 소비의 증대한 요인이 되는 비교기의 증가로 전력소비가 8배이상, 칩 면적은 50% 이상 증가가 예상된다. 따라서, 설계된 서브라인징 변환기는 비교적 고속으로 동작하면서, 플래시 변환기에 비해 소형, 저전력 응용에 적합하다.

또한, 기존의 서브라인징 구조에 비해 저항열

의 간소화로 저항열 회로의 복잡성 및 저항열 크기가 감소되어 전체면적이 줄어들고(전체 면적의 20%), CMOS의 저전력 특성을 최대한 활용하여 기존의 방식에 비해 저전력으로 동작하면서 고속 회로를 구현한 것이 또 다른 장점이다.

서브라인징 방식은 플래시 방식에 비해 두배의 클럭이 필요하므로 차후에 설계된 서브라인징 A/D 변환기의 속도개선을 위한 방안은 다음 두 가지로 요약할 수 있다.

첫째로, 전 차동(fully-differential) 비교기와 같은 고속 비교기를 사용한 회로 구성을 들 수 있다. 이 경우 전력소비와 소비면적이 증가하는 단점때문에 이 논문에서는 사용하지 않았으나, 고속을 얻을 수 있으므로 전력과 면적의 여유가 있는 경우 적합한 방안이다.

둘째로, 파이프라인 기법을 도입한 설계이다. 이 경우에는 복합적인 타이밍 문제 및 구조의 복잡성등 여러가지 어려운 점이 예상되지만, 전력이나 면적의 큰 증가없이도 동일한 속도의 비교기를 사용하는 플래시 A/D 변환기와 거의 유사한 변환속도를 얻을 수 있으리라 예상된다.

따라서, 후자의 경우가 저전력, 고속 혼합 칩 설계에 적합하므로 앞으로의 연구 과제는 앞에서 언급한 파이프라인 기법의 도입에 대한 검토 및 저전력, 고속 비교기 회로의 개발이 주된 목표이다.

참 고 문 헌

- [1] PHILLIP E. ALLEN and DOUGLAS R. HOLBERG, "CMOS Analog Circuit Design", Holt, Rinehart and Winston. Inc, 1987.
- [2] ANDREW G.F. DINGWALL and VICTOR ZAZZU, "An 8-MHz CMOS-subranging 8-bit A/D Converter", IEEE J. Solid-State Circuits, Vol. SC-20, No. 6, pp. 1138-1143, Dec. 1985.
- [3] ROUBIK GREGORIAN & GABOR C. TEMES, "Analog Mos Integrated Cir-

cuits For Signal Processing", A Wiley-Interscience publication, 1986.

- [4] MALCOLM R. HASKARD and LAN C. MAY, "Analog VLSI Design nMOS and CMOS", Prentice-Hall, 1988.
- [5] SHIGERU KAWADA, YASUNORISD HARA, TOSHIO ISONO, and TERUO INUZUKA, "1.5- μ m CMOS Gate Arrays with Analog/Digital Macros Designed Using Common Base Arrays", IEEE Journal of Solid-State Circuits, Vol. 24, No. 4, pp. 985-990, Aug. 1989.
- [6] TOSHIO KUMAMOTO, MASAO NAKAYA, HIROKI HONDA, SOTOJU ASAI, YOICHI AKASAKA, and YASUTAKA HORIBA "An 8-bit High-Speed CMOS A/D Converter," IEEE Journal of Solid-State Circuits, Vol. SC-21, No. 6, pp. 976-982, Dec. 1986.
- [7] BENJAMIN J. McCARROLL, CHARLES G. SODINI, and HAE-SEUNG LEE, "A High-speed CMOS Comparator for Use in an A/D Converter", IEEE JSSC, Vol. 23, No. 1, pp. 159-165, Feb. 1988.
- [8] JACOB MILLNAM and ARVIN GRABEL, "Microelectronics", Mc Graw-Hill.
- [9] SIDNEY SOCLOF, "Applications of Analog Integrated Circuits", Prentice-Hall, 1985.
- [10] NEIL WESTE and KAMRAN ESHRA-GHIAN, "Principles of CMOS VLSI design", Addison-Wesley, 1988.



이 성 대

1983년~87년 성균관대학교 전자공학과(공학사)
 1989년~91년 성균관대학교 대학원 전자공학과(공학석사)
 1991년~현재 성균관대학교 대학원 전자공학과 박사과정 재학중

관심분야 : VLSI를 이용한

DSP 시스템설계, 고속 A/D, D/A 변환기 설계등임



홍 국 대

1990년 성균관대학교 전자공학과 졸업(학사)
 1992년 성균관대학교 대학원 전자공학과(공학석사)
 1994년~현재 동대학원 박사과정 재학중

관심분야 : A/D · D/A 변환, 디지털 신호처리 등



정 강 민

1967년~71년 서울대학교 전기공학과(공학사)
 1975년~76년 미 TEXAS 주립대학(AUSTIN) 전기공학과(공학석사)
 1976년~79년 미 TEXAS 주립대학(AUSTIN) 전기공학과(공학박사)

1979년~83년 미 AT & T MTS

1983년~85년 미 SPERRY COMPUTER 연구교문

1985년~현재 성균관대학교 전자공학과 교수

관심분야 : 저전압 CMOS 회로설계, 디지털 시스템설계