

# 글리치 방지 전류원을 이용한 고속 고정밀 디지털 영상 신호 처리용 D/A 변환기 설계

이 성 대\* 정 강 민\*\*

## 요 약

이 연구에서는 고해상도 컬러 그래픽, 디지털 영상신호 처리, HDTV 등에 적합한 10 비트 이상의 고해상도, 100 MHz 이상의 변환 속도를 갖는 고속, 고정밀 정보처리용 D/A 변환기를 설계하였다. 고속 동작을 위해 매트릭스 형태의 전류원 배열, 파이프 라인을 사용하지 않는 래치, 그리고 트랜스미션 함수 이론을 이용한 이차원 구조의 디코더를 설계하였다. 이러한 구조는 정확성 및 선형성에서 우수한 특성을 보이며, 빠른 변환속도, 저전력 구현에 적합하다. 실리콘 면적의 소비를 줄이고 정밀도를 유지하기 위해 매트릭스 전류원을 가중 전류원과 비가중 전류원으로 분리하여 구성하였다. 고정밀도를 얻기 위한 방안으로 글리치를 억제하는 새로운 전류원을 설계하고, 선형성을 개선하기 위한 방안으로, 특정 시스템에서 최적의 스위칭 순서를 결정할 수 있고, grade error, 대칭적 오차 어느것도 최대가 되지 않도록 제한하는 새로운 스위칭 알고리즘을 제안하였다. 설계된 회로는 5V 공급 전원에 대하여 130mW의 전력소비 특성을 보이며, 10 비트 이상의 분해능, 100MHz 이상의 속도로 동작할 수 있다.

## The Design of High-Speed, High-Resolution D/A Converter for Digital Image Signal Processing with Deglitching Current Cell

Seong Dae Yi\* and Kang Min Chung\*\*

### ABSTRACT

In this paper, a high speed, high resolution information processing digital-analog converter was designed for high definition color graphic, digital image signal processing, HDTV. For high speed operation, matrix type current cell array, latch which is not use pipelined, and two dimensional structure decoder using transmission gate were designed. It is adopted to fast-conversion, low-power implementation and exhibited high performance at linearity and accuracy.

To reduce silicon area and to maintain resolution, current cell array composed of weighted and non-weighted current cells. In this paper, deglitching current cell design for high accuracy, new switching algorithm assert to reduce switching error. It's This circuit dissipates 130W with a 5-V power supply, and operate above 100MHz with 10 bit resolution.

### 1. 서 론

오늘날 반도체 및 정보처리 기술의 발달로 단일 칩내에 매우 많은 트랜지스터의 집적이 가능해짐에 따라 집적된 형태로 아날로그와 디지털 기능의 혼합이 가능해졌다.

그리고, 혼합 아날로그-디지털 칩의 용량이 급격하게 증가됨에 따라 매우 복잡한 시스템의 설계가 가능해졌다[3].

현재 기술의 동향은 정보처리가 부분적으로는 아날로그 영역에서, 부분적으로는 디지털 영역에서 수행되는 추세이다. 따라서, 아날로그와 디지털의 연결 부분에서 아날로그와 디지털간의 변환을 수행하는 정확한 데이터 변환기가 필요하다.

데이터 변환기는 특정 응용과 설계접근을 위한

\* 정 회 원 : 성균관대학교 전자공학과 박사과정

\*\* 정 회 원 : 성균관대학교 전자공학과 부교수

논문접수 : 1994년 10월 11일, 심사완료 : 1994년 11월 21일

최적이 아니라 관련된 제약을 극복할 수 있는 공정을 사용해야 하며, 고속에서 높은 신뢰성 및 저가, 저 전력 특성을 갖는 고속 CMOS 기술을 이용한 ONE CHIP 아날로그-디지털 혼합 회로 설계가 필요하다.

이 연구에서는 고해상도 컬러 그래픽, 디지털 영상신호처리, HDTV 등에 응용할 수 있는 고속 D/A 변환기에서 글리치를 방지하고 고정밀도를 얻기 위한 새로운 전류원의 설계에 관해 기술하고자 한다. HDTV나 디지털 영상처리 분야에서 사용되는 D/A 변환기는 10 비트 이상의 고해상도와 100 MHz이상의 변환 속도가 요구되므로, 이 연구에서 설계하는 D/A 변환기는 10 비트 이상의 고해상도와 100 MHz이상의 변환 속도 갖도록 하였다.

10비트 이상의 고분해능이 요구되는 경우, 저분해능 시스템과 달리 소자간의 정합 또는 전류원에서 발생하는 글리치등이 시스템의 성능에 큰 영향을 미치므로 기존의 전류원으로는 높은 정확도를 얻기 어렵다. 따라서, 이 논문에서는 시스템의 정확도를 높이기 위한 방안으로 전류원에서 발생하는 글리치를 줄일 수 있는 새로운 구조의 전류원을 설계한다. 이 새로운 구조의 전류원은 기존의 전류원에서 글리치의 원인이 되는 두 스위칭 신호간의 지연을 방지하기 위하여, 스위칭 신호를 하나만 사용하여 시간지연 뿐만 아니라 주변회로 까지 제거하는 효과를 보인다. 또한 신뢰성과 집적도를 높이고 전력 소모를 줄이기 위해서 CMOS를 이용하여 아날로그회로와 디지털 회로를 혼합하여 설계하였다.

고속 동작을 위해 매트릭스 형태의 전류원 배열, 파이프 라인을 사용하지 않는 래치, 그리고 트랜스미션 함수 이론을 이용한 이차원 구조의 디코더를 설계한다. 이러한 구조는 정확성 및 선형성에서 우수한 특성을 보이며, 빠른 변환속도, 저 전력 구현에 적합하다[11]. 고정밀도를 얻기 위한 방안으로 글리치를 억제하는 새로운 전류원을 설계하였다.

이 논문에서는 2.에서 비디오 신호처리용 D/A

변환기의 특성 제한요소 및 성능개선 방안에 대해 검토하고, 고속 D/A 변환기의 구조를 제시한다. 또,  $\pm 0.5\text{LSB}$  이내의 선형성을 실현하기 위한 새로운 스위칭 구조를 제안한다.

3.에서는 고속 변환기에 적합한 전류원 배열을 결정하고, 글리치를 줄일 수 있는 전류원 구조를 제안한다. 회로 시뮬레이터인 SPICE로 전류원의 특성을 분석하고 기존의 전류원과 특성을 비교 분석한다.

4.에서는 매트릭스 형태의 고속 디코딩 부트랜스미션 함수이론으로 구현하는 방법을 제시하고, 5장에서는 회로특성 분석결과를 요약하였다.

## 2. 고속 D/A 변환기 구조

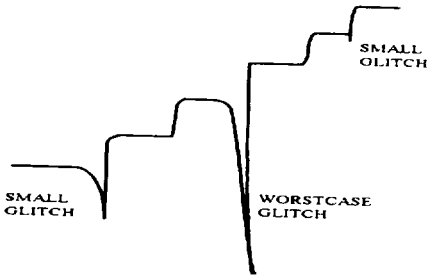
### 2.1 D/A 변환기 특성

기본적으로 비디오 신호처리용 D/A 변환기는 신호의 빠른 전달과 정확성, 적은 소모 전력을 가져야 한다. 고속 변환이 요구되는 경우 저항을 이용하는 방식은 반응시간 특성이 좋지 않고 실리콘 면적이 커지게 되는 단점이 있어 적합하지 못하고, 고속 및 정확성이 보장되는 전류원을 이용한 방식이 이용된다. 이 연구에서는 고속변환을 위해 매트릭스 형태의 2진 전류원을 이용한 CMOS 저 전력 D/A 변환기를 설계 하였다.

D/A 변환기 성능에 영향을 미치는 중요한 요소로 글리치, 선형성등을 고려해야 한다. 스위치들이 바라지 않는 도통 또는 차단상태에 도달하면 순간적으로 여러 신호를 통해서 빠른 변화가 존재하게 된다. 이 결과로 인해 과도적 스파이크 또는 글리치가 발생한다. 이 글리치는 과다전력 및 시스템 오류를 야기 할 수 있으므로 전반적인 시스템의 정확도와 성능을 좌우하며, D/A 변환기에서 발생하는 글리치의 예를 (그림 1)에 제시하였다[21].

글리치를 발생시키는 요인은 디코딩부 신호의 시간지연과 소자간의 부정합이다. 소자간의 부정합으로 인한 글리치를 제거하기 위해서 전류원

셀을 구성하는 트랜지스터의 크기를 증가시키는 방법은 안정시간을 증가시키는 요인이 되므로 큰 이점을 갖지 못한다. 따라서, 글리치 감소를 위해서 전류원을 스위칭하는 신호의 시간지연을 줄일 수 있는 방법으로 회로를 설계한다.



(그림 1) D/A 변환기에서 발생하는 글리치  
(Fig. 1) Glitch in D/A converter

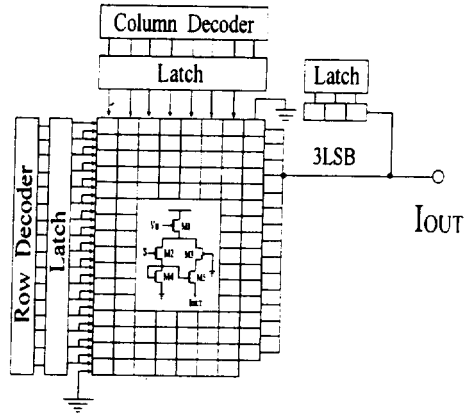
선형성의 문제는 MOS 트랜지스터의 부정합 및 전류원의 스위칭 구조에서 발생하는 오차성분이 주 원인이며, 적분 비선형성과 미분 비선형성으로 구분한다. 적분 선형성오차는 변환기의 전달함수가 이상적인 전달특성으로 부터 이탈하는 최대편차를 말한다. 미분선형성 오차는 이론적으로 일정한 전압 레벨과 실제 출력 간의 최대 편차를 나타낸다. 이러한 선형성 오차를 줄이기 위해서 종전의 방법인 순차적 스위칭 또는 대칭적 스위칭 대신에 새로운 스위칭을 제안한다[10].

2.2 D/A 변환기 구조

고속, 고정밀 D/A 변환기를 구현하기 위해 2진 전류원을 이용하는 구조에서는, 단위 전류원 셀에서 발생하는 전류의 대수적인 합을 외부저항을 통해 전압으로 출력한다. (그림 2)의 D/A 변환기에서 정확한 변환과 고속을 얻기 위해 전류원 셀을 매트릭스 형태로 배열하고, 디코딩부분을 열(column)과 행(row)으로 이루어진 2차원 구조로 설계하여 게이트의 지연시간을 줄였다[14].

전류원의 배열은 상위 7 비트에 해당하는 전류원은 매트릭스형태로 배열된 127개의 비가중(un-

weighted) 전류원 셀에 의해서, 하위 3 비트에 해당하는 전류는 각각 3개의 가중(weighted) 전류원 셀에 의해서 생성하는 구조를 보인다.



(그림 2) D/A 변환기의 기본구조  
(Fig. 2) The architecture of D/A converter

비가중 MSB 전류원의 출력이 LSB 출력의 8 배이므로, 트랜지스터간의 상대적 부정합이 6% 이하로 비교적 높은 정밀도를 유지하여야 미분선형성 오차가 0.5LSB 이하로 유지된다.

$$I_{MSB} = 2^3 \times I_{LSB} \tag{1}$$

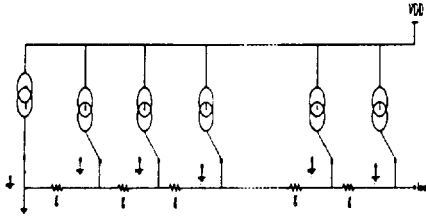
$$\therefore \text{Error of MSB} = 2^3 \times \text{Error of LSB} \tag{2}$$

디코딩회로부는 최소의 크기와 지연시간을 갖도록 트랜스미션 함수 이론을 이용한 회로로 설계하였으며, 특히 2차원 구조의 디코딩에서 랜덤 스위칭으로 선형성 오차를 줄이고자 하였다. 또, 디코더의 다음에는 래치를 부가함으로써 디코더에 의한 지연이 아날로그부분으로 전달되는 것을 방지하였다[14].

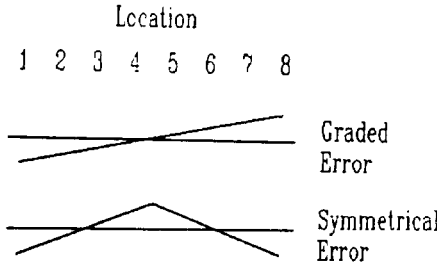
2.3 스위칭 구조

전류원 배열에서 접지선을 따라 생기는 전압강하는 전류원의 바이어스 전압을 변화 시키고, 이에 따른 각 전류원의 출력 값에 tapered error 분포를 발생 시킨다(그림 3)[15].

tapered error 분포는 전류원을 스위칭 할 때 심각한 선형성 오차를 초래하는데, 이때 발생하



(그림 3) 전류원 배열에 존재하는 접지선 저항  
(Fig. 3) Ground line resistance in current array



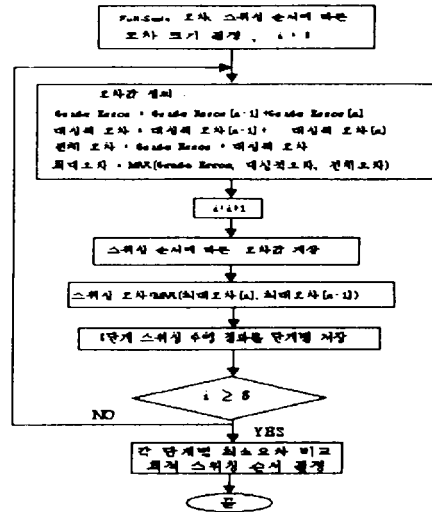
(그림 4) 전류원 스위칭에 따른 오차분포  
(Fig. 4) Error distributions due to current switching

는 오차는 (그림 4)와 같이 graded error 와 대칭적오차(symmetrical error)로 분류할 수 있다. 이 문제를 해결하기 위해 사용된 기존의 대칭적 스위칭 방법은 graded error 의 보상에 이점이 있으나 대칭적 오차는 개선하지 못한다.

즉, 순차적인 스위칭의 경우 스위칭 순서에 따라 grade error의 크기가 점차적으로 증가하여 바람직하지 못하고, 대칭적 스위칭의 경우 grade error는 줄어드나 대칭적 오차는 최대가 되는 단점이 있다.

따라서, 이 논문에서는 graded error 와 대칭적 오차를 모두 최소화 하는 새로운 스위칭 구조를 연구한다. 새로운 스위칭 구조의 접근 방향은 스위칭 순서에 따라 발생할 수 있는 모든 경우 중에서 최대 오차가 최소가 되는 스위칭 순서를 선택하는 것이다. (그림 5)에서 최소 오차를 얻기 위한 스위칭 순서 선택과정의 알고리즘을 제시한다. 새로운 스위칭 구조의 접근 방향은 스위칭 순서에 따라 발생할 수 있는 두가지 오차성분 (grade error, 대칭적 오차) 중, 최대 오차값이 최소가 되는 스위칭 순서를 선택하는 것이다. 즉,

스위칭이 진행됨에 따라 발생하는 오차의 최대값을 한 스위칭 순서의 최대값으로 기억하고, 이 값이 최소가 되는 경우를 선택 하는 방법이다. 이 순서는 전류원의 배열 방법에 따라 또는 오차의 full-scale에 따라 달라질 수 있으므로, 특정 변환기 구조에 따라 적절한 스위칭 순서를 결정할 수 있는 장점이 있다.



(그림 5) 스위칭 알고리즘  
(Fig. 5) Switching Algorithm

### 3. 새로운 전류원

#### 3.1 전류원 배열

전류원을 이용한 N비트 D/A 변환기에서는  $2^N$  개의 전류원이 필요하다. 이 경우 전류원간의 부정합을 줄여 정확도를 높일 수 있으나, 고해상도 응용에서 전류원 수가 지수적으로 증가하여 디코딩 회로가 복잡해지며, 칩 면적이 늘어나는 문제점이 발생한다. 이러한 문제점을 해결하기 위해서, 전류원에서 발생하는 오차가 정확도를 크게 저하시키지 않는 범위의(0.5LSB) 자리수를 결정하여, 이 자리수 이상은 같은 크기의 비가중 전류원으로, 그 미만의 자리수는 가중 전류원으로 설계한다. 이와 같은 전류원 배열은 면적을 최소로 하면서 상당한 정도의 정밀도를 얻을 수 있는 장점이 있다[15].

(그림 2)에서 전체 출력 전류는 다음 식과 같이 나타낼 수 있다.

$$I_{TOTAL} = 127xI_{LSB} + I_{LSB} + I_{LSR} + I_{SRH} \quad (3)$$

$$I_{MSB} = 2xI_{LSB} = 4xI_{LSR} = 8 \times I_{LSB} \quad (4)$$

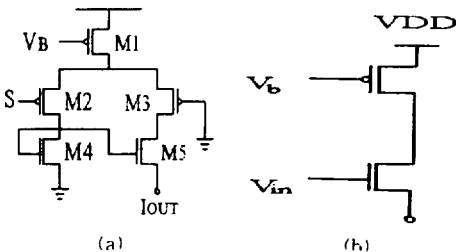
D/A 변환기가 큰 값의 full-scale 전류로 동작할 경우 안정시간이 짧아지는 효과는 기대할 수 있으나, 소모전력이 커지게 된다. 따라서 식 1)과 같은 검토를 거쳐 전류원의 full-scale 전류를 25.6mA 로 결정하였다. 이 전류 값에 대한 접지틀 기준으로 1.5Vp-p 의 출력 전압 swing을 위해서는 60Ω의 부하저항이 요구된다. 매트릭스 전류원에 의한 전력소모는 약 123mW 정도이다.

### 3.2 전류원 설계

#### 3.2.1 글리치 방지 전류원

10비트 이상의 고분해능이 요구되는 경우 전류원에서 발생하는 글리치가 시스템의 성능에 큰 영향을 미치므로, 기존의 전류원으로는 높은 정확도를 얻기 어렵다. 따라서, 이 논문에서는 시스템의 정확도를 높이기 위해, 기존의 전류원에서 글리치의 원인이 되는 두 스위칭 신호간의 지연을 방지하기 위하여, 스위칭 신호를 하나만 사용하여 시간지연 뿐만 아니라 주변회로 까지 제거할 수 있는 새로운 구조의 전류원을 제안한다.

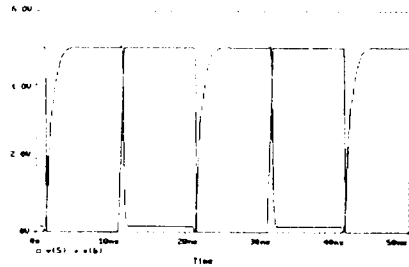
이 새로운 구조의 전류원은 스위칭 제어 신호를 한 개만을 사용하여, 스위칭 신호의 시간 지연에 의한 글리치를 방지하며 출력 임피던스를 증가시키기 위해 캐스코드 형태로 설계하였다.



(그림 6) (a) 캐스코드 전류원  
(b) 전류원의 등가회로  
(Fig. 6) (a) Cascode current cell  
(b) Equivalent circuit

(그림 6 (a)) 전류원은 M2와 M5가 하나의 제어 신호원에 의해서 서로 상반된 스위칭을 하는 캐스코드 전류원의 구조로, 한 트랜지스터가 차단 상태에 이른 후, 다른 트랜지스터가 도통된다. 따라서, 동시에 양 쪽 트랜지스터가 도통되는 경우가 발생하지 않으므로 글리치문제가 감소된다.

스위칭 신호의 변화에 따른 M2, M5 각각의 게이트 전압 변화에 대한 시뮬레이션 결과를 (그림 7)에 제시하였다. 스위칭 신호가 low에서 high로 천이 할 때, M2는 차단되기 시작하고, M5는 계속 차단상태를 유지한다. M2가 완전히 차단상태에 도달하면 이로써 M5가 도통 상태로 천이하므로 두 Tr.이 모두 도통상태가 될 때 발생하는 글리치 문제를 제거할 수 있다.



(그림 7) 스위칭 신호특성  
(Fig. 7) Switching signal

이 전류원에서는, 기존의 회로에서 사용한 전류원을 스위칭할 때 양쪽 트랜지스터가 모두 도통상태가 되는 것을 방지하기 위한 주변 회로가 생략된다. 또한, 스위칭이 일어나면 (그림 6(b))와 같은 등가적인 캐스코드형태의 전류원으로 동작한다. 그리하여 (그림 6(a))의 전류원은 캐스코드 형태의 특성인 높은 출력 임피던스를 가진다.

출력 임피던스는 회로의 선형성과 밀접한 관련이 있다. 출력 임피던스가 감소하면 선형성이 저하되고 소오스의 변동에 대한 민감도가 커지므로 큰 출력 임피던스를 갖는 전류원은 선형성을 향상시킬 수 있다.

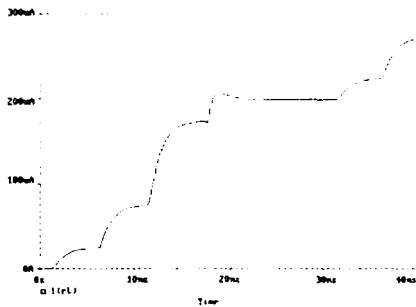
적분 선형오차 E는 식 (5)과 같다

$$E = \frac{1}{4} gR_i \quad (5)$$

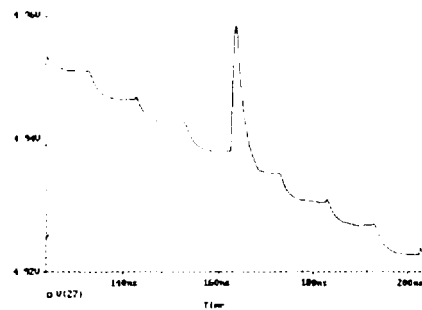
1/g : 출력임피던스  
 R<sub>i</sub> : 부 하 저 항

선형성 오차는 출력 임피던스에 반비례하고 부하저항에는 비례한다[18]. 부하저항을 적게 하면 선형성 오차는 줄어드나, 원하는 출력 전압의 swing을 얻기 위해서는 큰 출력 전류가 필요하고 따라서 소모전력이 증가한다. 그러므로, 선형성 오차를 줄이려면 출력 임피던스를 증가시켜야 한다.

제안한 (그림 6(a))의 전류원은 빠른 안정시간을 얻을 수 있고, 작은 크기의 트랜지스터를 사용해도 캐스코드 특성상 큰 출력 임피던스를 얻을 수 있으므로 선형성의 저하를 억제 할 수 있다.



(a) 제안된 전류원의 글리치 특성  
 (a) Glitch for proposed current cell



(b) 기존의 전류원의 글리치 특성  
 (b) Glitch for conventional current cell

(그림 8) 전류원의 글리치특성  
 (Fig. 8) Glitch characteristics for current cell

(그림 8)에는 전류원의 글리치특성을 SPICE를 통해 얻은 결과로 제시하였다. 이 실험에서 설계된 전류원은 20pF 부하에 대해 최대 0.5 mV(0.5 LSB이하)정도의 작은 글리치를 발생시켜 기존의 전류원(2.5mV LSB)보다 우수한 특성을 보였다.

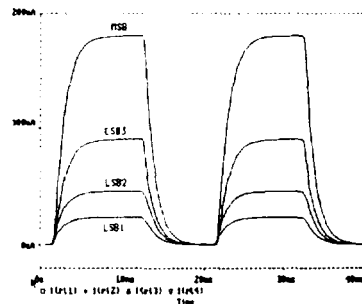
같은 크기의 기존의 전류원 회로에 대한 시뮬레이션 결과를 (그림 8(b))에 보였다. 앞에서 언급한 바와 같이 기존의 전류원은 스위칭 제어신호로서 디코더 출력신호와 그 반전신호를 모두 사용한다. 따라서, 두 신호간에는 인버터에 의한 시간지연이 발생한다.

앞에서 언급한 바와 같이 제안된 전류원은 기존의 전류원에 비해, 시스템 성능에 큰 영향을 미치는 글리치가 5배 이상 크게 감소되는 우수한 특성을 보인다.

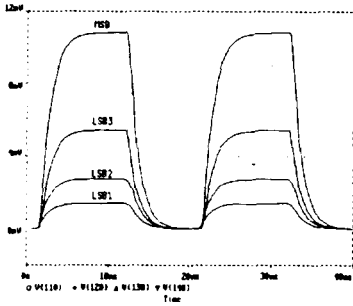
이 특성은 고분해능이 요구되는 시스템에서는 심각한 오차를 막을 수 있는 매우 중요한 의미를 지닌다. 또한, 스위칭 신호간의 시간지연을 막기 위한 주변회로의 제거는 전체 변환기를 통해 1040개의 Tr을 줄일 수 있으므로, 전체 칩 크기를 크게 줄여 가격면에서도 이점이 된다.

### 3.2.2 전류원의 특성분석

(그림 9), (그림 10)에서는 20 pF의 부하를 구동하는 제안된 전류원의 LSB1, LSB2, LSB3, MSB의 전류 및 전압 과도특성에 관한 SPICE 시뮬레이션 결과를 보이고 있다. 이 때 MSB, LSB3, LSB2, LSB1의 측정된 0.5 LSB 안정시간



(그림 9) 제안된 전류원의 과도전류특성  
 (Fig. 9) Transient characteristics of current for proposed current cell



(그림 10) 제안된 전류원의 과도 전압특성  
(Fig. 10) Transient characteristic of voltage for proposed current cell

은 각각 3.93, 3.16, 2.11, 1.21ns 이므로 최대 안정시간은 3.93ns(MSB)이다.

이 연구에서 설계된 전류원의 경우 스위칭 제어신호의 지연이 없으므로 글리치 특성이 우수하며, 출력 임피던스가 증가하므로 선형성을 향상시킬 수 있다. 또한 최대 부하조건에 대하여 10ns 이내의 안정시간을 만족하므로, 100MHz의 동작속도를 보장 할 수 있다.

#### 4. 고속 디코딩 회로

고속 디코딩을 위해서는 4 비트와 3 비트로 구역화된 디코더와 파이프라인 래치 대신에 최소 단계를 갖는 래치를 트랜스미션 게이트 함수를 사용하여 회로의 게이트 수와 지연시간을 줄였다.

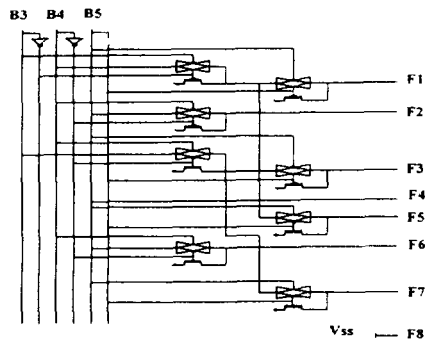
또, 이 논문에서는 행과 열의 2차원 구조를 갖는 매트릭스형태로 디코딩회로를 구현하여 전류원 스위칭 신호가 최소지연으로 전달되도록 하였다.

디코딩회로의 동작을 살펴보면, 두 단계를 통하여 전류원을 선택한다. 디지털 입력은 4MSB 행 디코더와 3·mid LSB 열 디코더에서 디코딩되고 LSB3, LSB2, LSB1은 가중 전류원 셀을 직접 선택한다. 행에서는 디코더 입력 값에 1을 더한 수 만큼 플래그가 발생하고 열에서는 입력 값과 같은 수의 플래그가 발생한다.

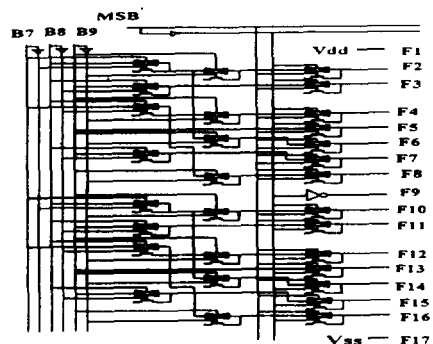
행 디코더와 열 디코더에서 플래그를 발생하는 과정을 (그림 11)과 (그림 12)에서 보였다. 이 디코딩을 거친 신호는 래치를 통해서 출력되고 출력된 신호는 전류원을 스위칭하는 제어신호가 된다. 매트릭스의 각 단위 셀에서는 다음과 같은 과정을 반복한다. 행과 열에서 플래그가 발생된 후에 하나의 행 신호와 다음단계의 행 신호가 모두 "1"이면 그 행의 전류원은 열 신호와는 무관하게 모두 도통된다. 그러나 두 개의 행 신호가 서로 다르면 열 신호의 플래그에 따라 전류원이 도통된다.

사용한 래치는 간단한 형태의 D-래치로 지연 시간을 줄이기 위해서 파이프라인을 사용하지 않는다.

트랜스미션 게이트 함수를 사용한 디코더는 일반적인 CMOS 논리를 이용한 디코더 보다 Tr 수가 146개에서 96개로 감소하고 지연시간이 최대



(그림 11) 열 디코딩회로  
(Fig. 11) Column decoder



(그림 12) 행 디코딩 회로  
(Fig. 12) Row decoder

0.5 ns 감소한다.

**5. 시뮬레이션 결과 요약**

설계된 각 블록에 대한 특성을 SPICE 시뮬레이션을 통해 살펴보았다. 시뮬레이션은 CMOS 1.2 $\mu$ m N-Well 모델변수를 이용하여 수행하였다. 이 논문에서는 D/A 변환기 성능을 크게 좌우하는 아날로그 회로인 전류원 셀 및 디지털 회로부 각각에 대해 검증을 수행하였다. <표 1>에서는 D/A 변환기를 구성하는 MSB, LSB3, LSB2, LSB1의 지연시간 및 안정시간, 전력소모에 관한 시뮬레이션 결과를 제시하였다.

<표 1> 전류원 시뮬레이션 결과 요약  
(부하 캐패시턴스 20pF)  
<Table 1> Current cell simulation result

항 목	LSB1	LSB2	LSB3	MSB
안정시간	1.21ns	2.11ns	3.16ns	3.93ns
상승시간	3.82ns	3.11ns	3.45ns	3.40ns
하강시간	3.51ns	3.45ns	3.1ns	3.1ns
소모전력	81.6pW	82pW	0.486mW	0.875mW

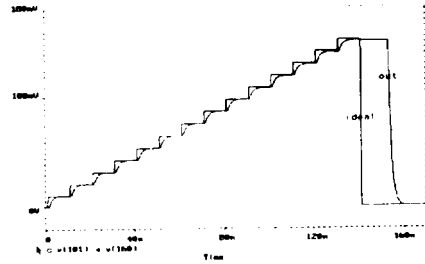
<표 2> D/A 변환기 특성  
<Table 2> D/A converter characteristics

해상도	10 비트
최대 안정시간	$\leq 5.0$ ns
최대 상승/하강 시간	$\leq 5.0$ ns
적분 선형성 오차 (DC)	$\leq 0.5$ LSB (Typ.)
미분 선형성 오차 (DC)	$\leq 0.5$ LSB (Typ.)
최대 글리치 에너지	$\leq 30$ psV
소모전력	$\leq 130$ mW

이 논문에서 설계한 D/A 변환기의 기본 사양을 <표 2>에 보였다. 새로운 D/A 변환기는 동작 주파수가 100MHz이상이며, 외부저항이 60 $\Omega$ 일 때 130mW이하의 적은 전력소모를 갖는다.

(그림 13)에서는 비 가중 MSB를 이용하여 이상적인 출력 값에 대한 실제출력의 오차 특성을

관찰하였다. 이 그림은 변환기의 선형성을 판별하는 좋은 기준을 제공한다. 그림에서 이상적인 경우의 각 step의 중앙을 잇는 직선과 실제 출력의 중앙을 잇는 선이 거의 일치하므로 이 변환기의 적분 선형성은 매우 우수한 특성을 보이고, 실제 출력의 각 step 간에도 오차가 적으므로 좋은 미분 선형성이 예상된다.



(그림 13) 출력 선형성 특성  
(Fig. 13) Characteristics of output linearity

**6. 결 론**

이 연구에서는 10 비트의 고해상도, 100 MHz 이상의 고속으로 동작하는 D/A 변환기에 관한 연구를 수행하였다. D/A 변환기의 구현을 위한 전반적인 알고리즘을 고찰하였고, 이를 통해 필요한 D/A 변환기의 구조를 선택 하였다.

D/A 변환기의 성능을 결정하는 가장 중요한 블록이라 할 수 있는 전류원에 대한 연구에 주력하여 새로운 전류원의 형태를 제안하였고, 이를 통해 D/A 변환기의 성능을 개선할 수 있는 방안을 제시하였다.

전류원의 글리치는 D/A 변환기의 정확도와 전력소모에 영향을 미치고 전류원의 안정시간은 D/A 변환기의 변환속도를 제한한다. 따라서 비 디오용 고속 D/A 변환기를 얻기 위해서 전류원의 글리치문제와 안정시간을 개선하는 데 연구의 중점을 두었다.

새로운 전류원은 스위칭 하는데 제어신호를 출력신호 하나만을 사용함으로써, 제어신호가 두개가 필요한 기존의 전류원에서 발생하는 시간지연을 방지한다. 시간지연은 전류원 내의 원치 않는



도통 또는 차단 상태를 발생시켜, 이로 인한 글리치를 야기하므로, 글리치문제를 개선할 수 있었다. 앞서서도 강조하였듯이 이 글리치의 감소(5 배이상)는 변환기의 분해능 개선에 핵심적인 기술이므로 매우 중요한 의미를 지닌다.

또한, 신호의 전달 지연 시간을 줄여 전체 변환 속도를 개선하였고, 제안된 전류원은 등가 캐스 코드 구조이므로 출력 임피던스를 증가시키므로 선형성을 개선하는 효과를 기대할 수 있다.

추가적으로 스위칭 신호의 시간지연을 줄이기 위한 부수 회로를 제거하여 칩 면적을 크게 감소시키는 경제적인 면도 간과할 수 없다.

또, 이 논문에서 제안된 스위칭 알고리즘은 특정 시스템에서 최적의 스위칭 순서를 결정할 수 있는 알고리즘으로, grade error, 대칭적 오차 어 느것도 최대가 되지않는 장점이 있다.

검증 결과 D/A 변환기는 10비트 이상의 분해능과 빠른 0.5 LSB 안정시간 특성(5ns 이내)을 보였으며, 전체 지연시간을 계산한 결과도 목표한 100 MHz이상의 변환속도를 만족시킬 수 있는 것으로 나타났다.

마지막으로 제시한 출력 선형성 특성에서 알 수 있듯이, 글리치 제거 전류원과 새로운 스위칭 구조는 변환기의 선형성을 크게 향상시키는 것을 알 수 있다.

### 참 고 문 헌

- [ 1 ] Roubik Gregorian & Gabor C.Temes, "Analog Mos Integrated Circuits For Signal Processing", A Wiley-Interscience publication, 1986.
- [ 2 ] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design", Holt, Rinehart and Winston. Inc, 1987.
- [ 3 ] Jacob Millnam and Arvin Grabel, "Microelectronics", Mc Graw-Hill
- [ 4 ] Neil Weste and Kamran Eshraghian, "Principles of CMOS VLSI design", Addison-Wesley, 1988.
- [ 5 ] Malcolm R. Haskard and Lan C. May, "Analog VLSI Design nMOS and CMOS", Prentice-Hall, 1988.
- [ 6 ] Sidney Soclof, "Applications of Analog Integrated Circuits", Prentice-Hall , 1985.
- [ 7 ] Malcolm R. Haskard, Ian C. May " Analog VLSI Design- nMOS and CMOS "Silicon Systems Engineering Series, pp. 113-144.
- [ 8 ] Siliconix Inc. "Designing with Field-Effect Transistors", pp. 193-258.
- [ 9 ] Naoki Kumazawa et al. "An 8bit 150MHz CMOS D/A converter with 2Vp-p wide range output" Sony Corp., Atsugi Technology Center, Semiconductor Group Atsugi, Kanagawa, Japan, pp. 55-56.
- [10] Y. Nakamura et al. "A 10bit 70 MS/s CMOS D/A Converter" LSI R&D Laboratory, Mitsubishi Electric Corp. 4-1 Mizuhara, Itami, 664 Japan, pp. 57-58.
- [11] T. Miki et al. "An 80MHz 8-bit CMOS D/A Converter" IEEE JSSC, Vol. SC-21, No. 6, pp. 983-988, Dec. 1986.
- [12] C. Ioumazou et al. "Haigh Analogue IC design-the current-mode approach" IEEE Circuits and Sysems Serie 2, pp. 297-326.
- [13] P.H.Saul, J.S.Urquhart "Techniques and Technology for High-Speed D/A Conversion" IEEE JSSC, Vol. SC-19, No. 1, Feb. 1984.
- [14] P. E. Allen, et al. "CMOS Analog Circuit Design", pp. 520-588.
- [15] N. Weste, K. Eshraghian "Principles of CMOS VLSI Design a Systems Perspective" Addison Wesley
- [16] Stan Prentiss "High-Definition Television" TAB BOOKS Inc.
- [17] "MOS A/D Interface Circuit Design for VLSI Digital System" University of Califor-

nia, Berkeley

- [18] P. Antognetti, G. Massobrio "Semiconductor Device Modeling with SPICE" McGraw-Hill International Edition
- [19] D.I.Porat,A.Barna "Introduction to Digital Techniques" John Wiley & Sons pp. 411-453
- [20] D. A. Pucknell, K.Eshraghian "Basic VLSI Design Systems and Circuits" Prentice Hall



이 성 대

1983년~87년 성균관대학교 전자공학과(공학사)  
 1989년~91년 성균관대학교 대학원 전자공학과(공학석사)  
 1991년~현재 성균관대학교 대학원 전자공학과 박사과정 재학중

관심분야 : VLSI를 이용한

DSP 시스템설계, 고속 A/D, D/A 변환기 설계등임

- [21] T. Miki et al. "Influence of Non-Zero Resistance of Analog Ground Line in D/A Converter" Trans. IECE Japan, Vol.E69, No. 4, pp. 258-260, April 1986.



정 강 민

1967년~71년 서울대학교 전기공학과(공학사)  
 1975년~76년 미 TEXAS 주립대학(AUSTIN) 전기공학과(공학석사)  
 1976년~79년 미 TEXAS 주립대학(AUSTIN) 전기공학과(공학박사)

1979년~83년 미 AT & T MTS

1983년~85년 미 SPERRY COMPUTER 연구고문

1985년~현재 성균관대학교 전자공학과 교수

관심분야 : 저전압 CMOS 회로설계, 디지털 시스템설계