

동기망과 전송망에서의 동기클럭 성능 분석을 위한 시뮬레이터 개발

이 창 기[†]

요 약

동기망과 전송망에서의 동기클럭 성능은 망의 안정성 확보와 데이터 전송 보장 측면에서 중요한 요소이다. 그러므로 망을 설계할 때 동기망과 전송망의 동기클럭 성능을 분석하기 위하여 다양한 파라미터를 적용할 수 있고, 그리고 최상상태에서 최악상태까지 망에서 나타날 수 있는 여러 가지 입력레벨을 적용할 수 있는 시뮬레이터가 필요하다. 따라서 본 논문에서는 동기망과 전송망에서의 동기클럭 특성을 분석할 수 있는 SNCA와 TNCA를 개발하였고, 또한 개발된 시뮬레이터를 활용하여 다양한 원더생성, 노드수, 클럭상태 등의 입력조건에 따른 NE1, NE2, NE3 등 전송망과 DOTS1과 DOTS2 등 동기망에서의 동기클럭 특성과 최대 노드수 결과를 얻었다.

Development of Simulator for Performance Analysis of Synchronization Clock in the Synchronization Network and Transmission Network

Chang-Ki Lee[†]

ABSTRACT

The synchronized clock performance in the synchronization network and SDH transmission network design is an important element in aspect of guaranteeing network stability and data transmission. Consequently the simulator which can applicable various parameters and several input levels from the best state to the worst state for performance analysis of the synchronized clock is required in case of network design. Therefore, in this paper, I developed the SNCA and TNCA for analysis of the synchronized clock in the synchronization network and transmission network. And utilizing these simulators with various wander generation, node number and clock state, I obtained the synchronized clock characteristics and maximum network nodes in NE1, NE2 and NE3 transmission network and DOTS1, DOTS2 synchronization network.

키워드: 동기클럭(Synchronization clock), 클럭성능(Clock performance), 망동기(Network synchronization), 동기망(Synchronization network), 동기식전송(SDH)

1. 서 론

동기망과 SDH(synchronous digital hierarchy)[1] 전송망 등 통신망에서의 동기클럭 성능은 데이터 전송 보장과 망 안정성 확보 측면에서 중요한 요소이다. 동기망은 전송망에 동기클럭을 공급하기 위한 망이며, PRS(primary reference source) 혹은 KRF(Korea reference frequency)에서 제공되는 최초 동기원을 SSU(synchronization supply unit) 혹은 DOTS[2](digital office timing supply)에 공급 분배된다. 전송망은 동기망에서 제공되는 동기클럭에 의해서 망동기가 실현된다. 이 과정에서 동기클럭이 상실 혹은 절체되거나

망상 지터나 원더 등의 원인으로 동기클럭에 장 단기적인 특성변화가 일어나면 포인터조정(pointer justification) 등으로 인하여 전송 데이터 에러 유발과 함께 전송망 성능의 악화 요인으로 작용된다. 이를 줄여주기 위하여 여러가지 방안[3, 4]이 전송장치에 도입되었고, 한편으로 동기클럭의 단기적 변동성분을 제한하기 위하여 ITU-T 동기클럭 관련 규격에 MTIE[5](maximum time interval error)와 TDEV(time deviation)을 활용하여 G.811[6], G.812[7], G.813[8] 등이 보완되어 왔고, 이는 2004년까지 계속 보완될 예정이다[9]. 동기클럭 성능을 분석하기 위해서는 원더생성, 차단주파수, 그리고 정상상태(normal state)와 단기위상변위상태(short-term phase transient state ; SPT) 및 장기위상변위상태(long-term phase transient state ; LPT) 등 클럭상태와 노드수 등이 고려되어야한다. 또한 동기망과 전송망 설

* 본 연구는 한국과학재단 목적기초연구(R05-2002-00000548-0)지원으로 수행되었음.

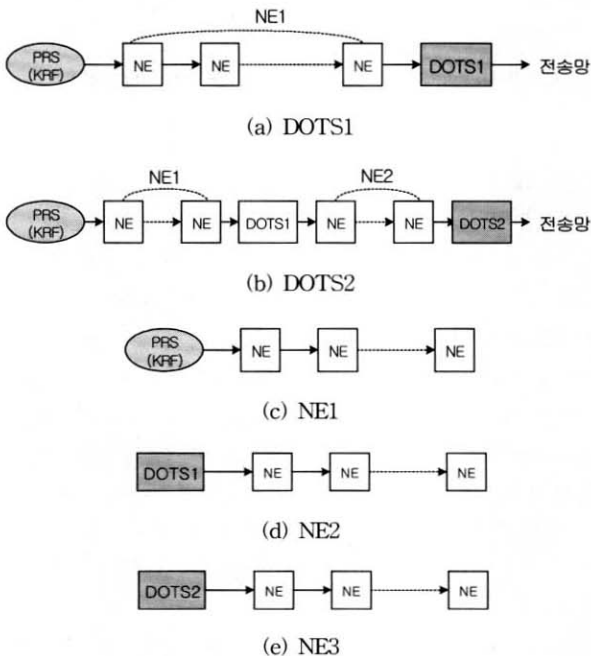
† 정 회 원 : 위덕대학교 정보통신공학부 교수
논문접수 : 2003년 6월 5일, 심사완료 : 2003년 10월 24일

계자 입장에서 그동안 충분히 반영되지 않은 동기클럭 성능을 SDH 망이나 최근 떠오르고 있는 NG(next generation)-SDH[10] 망을 설계하거나 분석할 때 상기 파라미터가 포함되고 최상과 최악 조건 등 다양한 입력레벨에 따른 클럭 성능을 분석할 수 있는 시뮬레이터가 필요하다. 동기클럭에 관한 지금까지의 연구 결과는 클럭잡음의 특성 및 측정에 관한 기초적인 연구와 망을 고려한 연구가 수행되었다[11-21]. 그러나 이들 연구는 위상변위를 포함하지 않았거나 혹은 전송망만을 고려하였으며[11-20]. 그리고 전송노드(NE)를 옵션 별로 분리 수행하지 않았고, 또한 최악 상태만을 고려한 연구가 이루어졌다[21].

따라서 본 논문에서는 실제 망에서 나타날 수 있는 다양한 파라미터와 여러 가지의 입력레벨에 따라 동기망과 전송망에서의 동기클럭 성능 분석에 실질적으로 도움을 줄 수 있는 SNCA(synchronous network clock analyzer)와 TNCA(Transmission network clock analyzer)를 개발하고, 그리고 개발된 시뮬레이터를 활용하여 윈더생성, 노드수, 클럭 상태에 따라 전송망인 NE1, NE2, NE3망과 동기망인 DOTS1과 DOTS2망에 대한 클럭 성능을 분석하며, 또한 다양한 조건에 따른 최대 노드수를 얻는다.

2. 동기망 및 전송망 구성

(그림 1)은 동기망과 SDH 전송망 구성을 나타내고 있다. 동기망은 (그림 1)(a)와 같이 PRS 혹은 국내 KRF를 최초 동기원으로하고 전송노드인 NE(NE1)를 거쳐 동기클럭 공



(그림 1) 동기망과 전송망의 구성

급장치인 DOTS1로 구성되거나 (그림 1)(b)와 같이 PRS, NE, DOTS1, NE와 DOTS2로 구성된다. DOTS1은 주로 송광국에서 그리고 DOTS2는 주로 중심국에서 활용된다. SDH 전송망은 (그림 1)(c), (그림 1)(d), (그림 1)(e)에서와 같이 NE 노드들인 NE1, NE2와 NE3로 구성되고, 이의 동기클럭은 PRS, DOTS1과 DOTS2가 되어 망에 공급된다. 이와 같이 구성된 동기망과 전송망은 PRS나 DOTS1과 DOTS2에서 공급되어진 동기클럭이 해당 전송망에 공급되어 모든 망을 동기시킴으로써 망동기의 실현이 이루어지게 된다. 그러나 모든 망의 동기는 얻을 수 있지만 NE와 DOTS를 경유함에 따라 자체 윈더 및 지터 등의 성분이 누적되어 최초 PRS의 클럭 성능보다 저하되어 나타난다. 이에 따라 ITU-T에서는 PRS와 DOTS, 그리고 NE에 대해서 자체적으로 발생하는 윈더생성과 입력 및 출력 클럭에 대한 클럭특성을 규격으로 규정하여 제한하고 있다.

3. 클럭잡음과 동기클럭 특성 규격

동기클럭 특성연구는 실제 현장에서 잡음성분을 추출하여 안정도를 측정하지만 방대한 데이터 량과 시간 및 비용 등의 난제로 인하여 일반적으로 망에서 관측되는 잡음들을 인위적 시뮬레이션을 통해 동기클럭 성능을 분석하고, 망설계를 할 때 그 결과를 적용하게 된다. 동기클럭의 성능을 분석하기 위하여 전송망을 포함한 통신망에서 사용되고 있는 클럭신호의 시간편차 $x(t)$ 와 전력밀도 함수 $S_x(f)$ 가 활용되며, 아래 식과 같이 쓸 수 있다[5].

$$x(t) = x_0 + y_0 t + \frac{D}{2} t^2 + \frac{\phi(t)}{2\pi f_0} \tag{1}$$

$$S_x(f) = \sum_{a=-2}^2 h_a f^a = h_{-2} f^{-4} + h_{-1} f^{-3} + h_0 f^{-2} + h_1 f^{-1} + h_2 f^0 \tag{2}$$

여기서 f_0 는 기준주파수, ϕ_0 는 초기 위상오프셋, y_0 는 기준주파수의 fractional 주파수 오프셋, x_0 는 초기 시간편차 오프셋, D 는 주파수 드리프트율, $\phi(t)$ 는 랜덤 위상편차를 말한다. 식 (2)에서 잡음성분은 f^0 항의 WPM, f^{-1} 항의 FPM, f^{-2} 항의 WFM 등이 포함되어 있다[12]. WPM은 백색잡음으로 직접 생성하고, WFM은 WPM를 적분하여 얻게되며, FPM은 양선형 변환 알고리즘을 사용하여 개선된 주파수특성을 가진 잡음을 얻을 수 있다[16]. 상기 수식을 이용하여 여러 가지의 클럭 잡음을 생성하면 실제 시뮬레이션에 적용할 수 있다. 동기클럭 성능은 MTIE와 TDEV에 의해서 측정된다. MTIE는 임의 관측시간에서 클럭의 최대 시간간격편차를 말하고, TDEV는 표본 시간편차를 이용하여 지정된 횟수로 여러 번 측정된 분산을 평균한 것을 말하며, 아래

식과 같이 정의하고 있다[5].

$$MTIE(n \tau_0) = \max_{k=1}^{N-n} \left[\max_{i=k}^{k+n} x_i - \min_{i=k}^{k+n} x_i \right] \quad (3)$$

$$TDEV(n\tau_0) = \sqrt{\frac{1}{6n^2(N-3n+1)} \sum_{j=1}^{N-3n+1} \left[\sum_{i=j}^{n+j-1} (x_{i+n} - 2x_{i+n} + x_i) \right]^2} \quad (4)$$

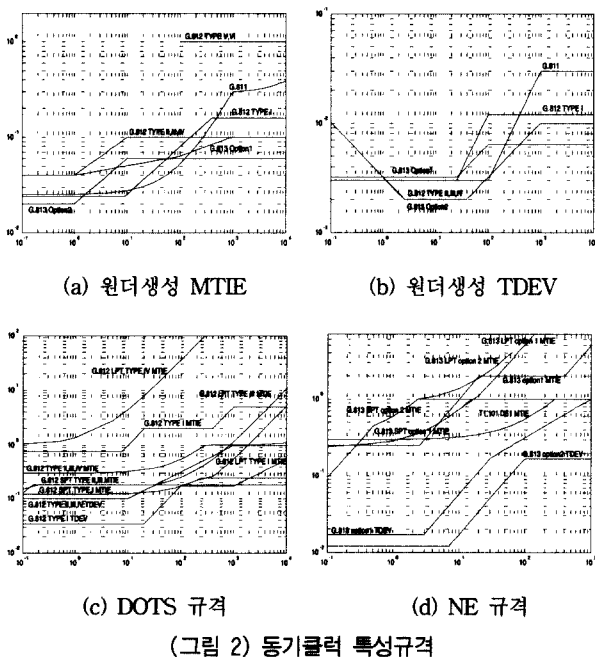
동기망과 SDH망에서의 클럭상태는 일반적인 정상상태(normal state)와 동기원 절체 등에 의한 15초 이내의 단기적 위상변화인 단기위상변위상태(SPT), 그리고 동기원 장애로 인해 클럭의 위상변화 상태가 15초 이상 지속되는 장기위상변위상태(LPT) 등으로 나타난다[7, 8]. 이와 같은 클럭상태들은 망에서 항상 발생할 수 있으며, 또한 이로 인하여 불규칙적인 포인터 조정이 많이 발생하여 망 성능에 영향을 주기 때문에 ITU-T에서는 각 상태에 따른 클럭성능을 MTIE와 TDEV를 이용하여 규격으로 제한하고 있다. 또한 PRS, DOTS와 NE 장치내부에서 자체적으로 생성되는 저주파 클럭잡음의 한계를 규정하기 위하여 원더생성(wander generation) 규격을 권고하고 있고, 이들도 MTIE와 TDEV로 제한되고 있다. PRS, DOTS와 NE에서 원더생성과 클럭상태에 따라 권고하고 있는 최신 ITU-T 규격은 (그림 2)에 나타나 있다. (그림 2)(a)와 (그림 2)(b)는 G.811[6]의 PRS, G.812[7]의 DOTS, G.813[8]의 NE에 대한 원더생성 MTIE와 TDEV규격이다. 여기서 G.812에는 북미계위와 유럽계위, 그리고 등급별로 구별하여 총 6개의 TYPE으로 구

분되어 있고, G.813은 유럽계위인 2.048Mbps급 option1(OP T1)과 북미계위인 1.544Mb/s 급 option2(OPT2)로 나누어져 있다. (그림 2)(c)와 (그림 2)(d)는 클럭상태에 따른 DOTS와 NE의 출력클럭 특성규격이다. 여기서 정상상태 NE option2 MTIE 규격은 아직 연구 중이기 때문에 미국 T1 규격[22]을 적용하였고, 그리고 SPT와 LPT가 나타나지 않는 PRS는 원더생성 자체가 정상상태의 출력클럭 규격이 되기 때문에 세분화되지 않았다. 본 논문에서는 6가지의 G.812 TYPE 중 가장 많이 적용되는 TYPE I(유럽계위)과 TYPE II(북미계위)만을 사용하고, G.813은 2개의 option 모두 사용하여 원더생성과 클럭상태 규격에 적용하였다. 그리고 LPT 규격은 관측시간이 15초 이내일 때 SPT 상태가 적용되는 것이 포함되어 있다.

4. 동기망과 전송망 클럭모델 시뮬레이터

4.1 노드 클럭모델

클럭성능 분석 시뮬레이션을 하기 위해서는 노드 클럭모델이 필요하고, 또한 이를 활용하여 동기망과 전송망 모델을 구성하여야 한다. 동기망과 전송망에 적용되는 간략화된 노드 클럭모델[12, 18, 23]은 일반적으로 저역통과 필터와 덧셈기, 그리고 원더생성 성분과 위상변위 성분으로 구성된다. 클럭모델은 전단 노드에서 입력되는 위상잡음이 저역통과 필터를 통과한 후 원더생성 성분과 위상변위 성분을 더한 후 후단 노드로 출력되는 것으로 동작된다. 여기서 원더생성은 PRS, DOTS와 NE 별로 (그림 2) 특성규격을 만족하여야 하고, 위상변위 성분은 노드별로 발생할 수 있는 SPT, LPT 상태에 따라 식 (1)의 ITU-T 성분 값[7, 8]으로 적용된다. 그 외 클럭모델과 망모델에 적용되어야 할 사항은 저역통과 필터 차단주파수와 망노드수가 있다. 차단주파수는 일반적으로 0.1Hz(DOTS)와 1Hz(NE)를 ITU-T에서 권고하고 있지만 실제 차단주파수에 따라 MTIE/TDEV 특성값의 차이가 존재하고 있다[20]. 망노드수는 (그림 1)과 같이 동기망과 전송망에 사용되는 노드수를 말한다. 동기망은 PRS와 DOTS1 사이의 NE1 전송망 노드수(i), DOTS1과 DOTS2 사이의 NE2 전송망 노드수(j)가 있으며, 전송망은 PRS를 동기원으로하는 NE1 전송망 노드수(i), DOTS1을 동기원으로하는 NE2 전송망 노드수(j), 그리고 DOTS2를 동기원으로하는 NE3 전송망 노드수(k)로 이루어져 있다. 이들은 노드수가 증가하면 클럭잡음이 누적됨에 따라 해당노드의 MTIE와 TDEV 클럭특성에 큰 영향을 주고 있기 때문에 망 전달특성을 분석하거나 망 설계할 때 고려하여야 할 필수적인 파라미터 중의 하나이다. 그러나 국내에서는 망 설계할 때 클럭잡음에 따른 성분들을 충분히 반영되지 않고 있는 상태이다. 따라서 본 논문에서는 상기의 다



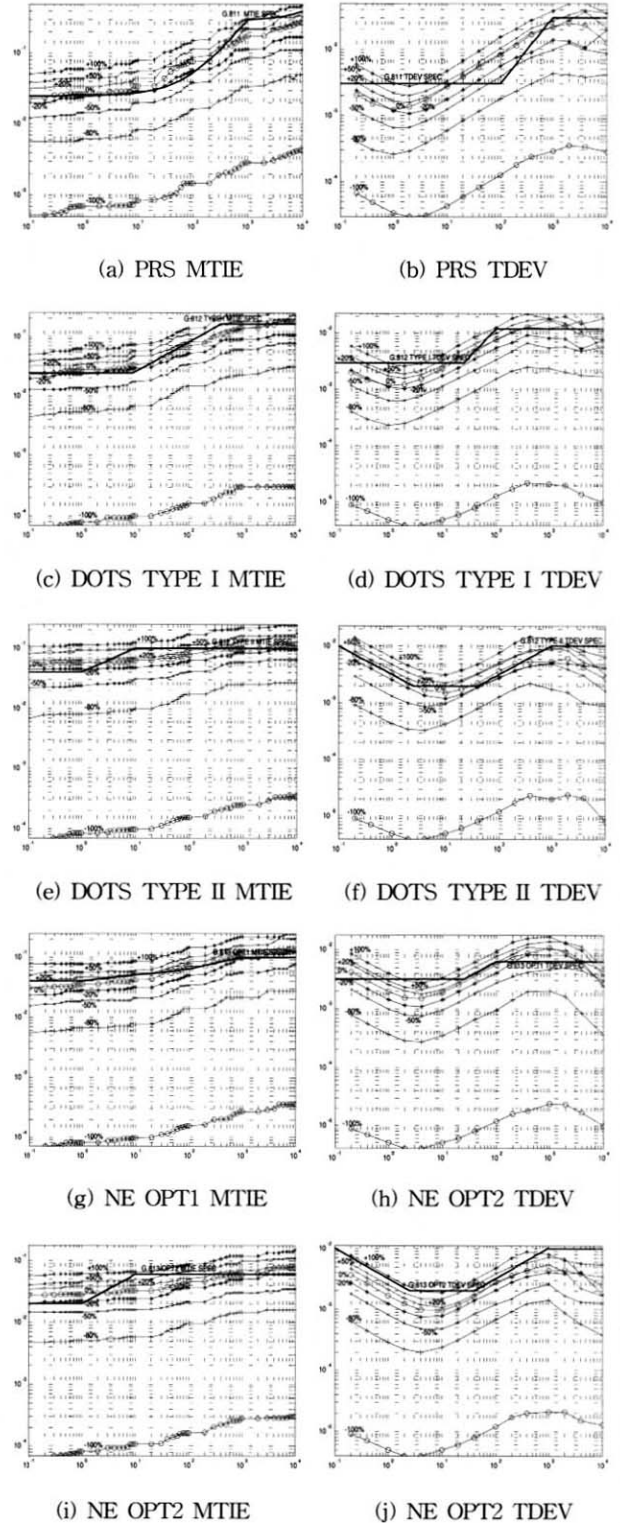
양한 입력 파라미터를 활용하여 동기망과 전송망에서 클럭 잡음 특성을 분석할 수 있는 동기망 클럭분석 시뮬레이터(SNCA)와 전송망 클럭분석 시뮬레이터(TNCA)를 개발하였다.

4.2 SNCA

클럭모델에 적용하여야 할 파라미터는 원더생성, 차단주파수, 클럭상태, 노드수 등이 있다. 이들은 다양한 종류와 값을 가질 수 있고, 이에 따라 클럭성능이 달라질 수 있기 때문에 망 설계자의 다양한 요구사항에 따라 클럭성능을 얻을 수 있는 시뮬레이터의 필요성이 존재한다. 이와 같은 다양한 입력조건을 가지고 동기망의 클럭성능을 구할 수 있는 동기망 클럭분석 시뮬레이터인 SNCA는 (그림 1)(a), (그림 1)(b)와 같은 DOTS1과 DOTS2 클럭클럭 성능을 얻을 수 있다. SNCA에 적용되는 원더생성은 노드에서 여러 형태 자체잡음이 나타날 수 있기 때문에 (그림 3)과 같이 PRS, NE, DOTS 별로 해당규격의 -100%, -80%, -50%, -20%, 0%, 20%, 50%와 100% 등 모두 8가지의 모델을 각각 두고 있다. (그림 3)(a)와 (그림 3)(b)는 PRS의 모델별 원더생성 MTIE와 TDEV 특성이고, 그림상에서 제일 아래인 -100%부터 시작하여 총 8가지 모델이 있어서 자체잡음이 적은 좋은 환경과 자체잡음에 많은 열악한 환경을 모두 적용할 수 있도록 하였다. (그림 3)(c)와 (그림 3)(d)는 DOTS TYPE I 모델이고, (그림 3)(e)와 (그림 3)(f)는 DOTS TYPE II 모델이다. 그리고 NE OPT1 모델은 (그림 3)(g)와 (그림 3)(h)에 나타나 있고, NE OPT2 모델은 (그림 3)(i)와 (그림 3)(j)에 각각 나타나 있다. 차단주파수는 0.01Hz, 0.1Hz, 1Hz와 10Hz 등 총 4가지 주파수를 사용할 수 있도록 하였고, 클럭상태는 정상상태, SPT와 LPT 상태에서 선택할 수 있으며, 차단주파수와 클럭상태는 DOTS와 NE에 개별적으로 적용할 수 있다. 그리고 노드수는 NE1과 NE2의 NE 노드수인 i 와 j 가 있고, 최대 70개까지 사용할 수 있다.

SNCA에서 DOTS1과 DOTS2의 망모델 출력 클럭잡음을 얻기 위해서는 식 (5)와 같이 PRS를 입력소스로 하고 첫 번째 노드의 출력 클럭잡음 모델을 사용한다. 여기서 $N_O^{(1)}(s)$ 는 첫 번째 노드에서의 출력 클럭잡음, $PR_n(s)$ 는 PRS 클럭잡음, $H_1(s)$ 는 NE노드의 저역통과 필터 전달함수, $N_{WGn}^{(1)}(s)$ 는 첫 번째 NE 노드의 원더생성, $N_{PT}^{(1)}(s)$ 는 위상변위 성분을 나타낸다. 그리고 PRS와 NE에 적용되는 원더생성의 n 은 8가지 모델 중 하나로 설정할 수 있고($n=1\cdots 8$), 위상변위 성분은 SPT와 LPT 상태일 때만 적용된다.

$$N_O^{(1)}(s) = H_1(s)PRn(s) + N_{WGn}^{(1)}(s) + N_{PT}^{(1)}(s) \quad (5)$$



(그림 3) 원더생성 모델

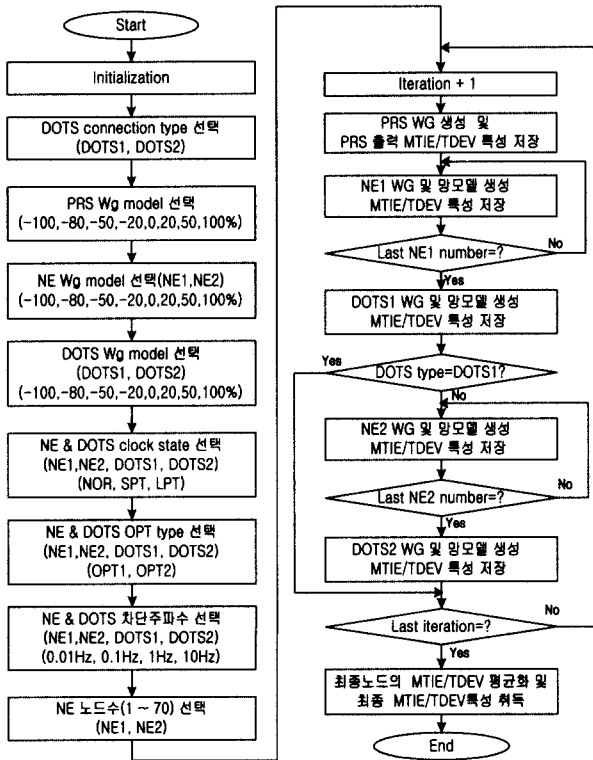
$$\begin{aligned} N_O^{(2)}(s) &= H_1(s)N_O^{(1)}(s) + N_{WGn}^{(2)}(s) + N_{PT}^{(2)}(s) \\ &= (H_1(s))^2 PRn(s) + H_1(s)[N_{WGn}^{(1)}(s) + N_{PT}^{(1)}(s)](6) \\ &\quad + N_{WGn}^{(2)}(s) + N_{PT}^{(2)}(s) \end{aligned}$$

$$N_{10}^{(i)}(s) = (H_1(s))^i PRn(s) + \sum_{j=1}^i (H_1(s))^{i-j} [N_{WGn}^{(j)}(s) + N_{PT}^{(j)}(s)] \quad (7)$$

$$DT1_o(s) = H_2(s)(H_1(s))^i PRn(s) + H_2(s) \sum_{j=1}^i (H_1(s))^{i-j} [N_{WGn}^{(j)}(s) + N_{PT}^{(j)}(s)] + DT1_{WGn}(s) + DT1_{PT}(s) \quad (8)$$

$$DT2_o(s) = H_2(s)(H_1(s))^j DT1_o(s) + H_2(s) \sum_{j=1}^i (H_1(s))^{i-j} [N_{WGn}^{(j)}(s) + N_{PT}^{(j)}(s)] + DT2_{WGn}(s) + DT2_{PT}(s) \quad (9)$$

그리고 식 (6)은 두 번째 노드의 클럭잡음이고, 식 (7)은 NE1인 i 번째 노드 출력 클럭모델이다. SNCA에서 출력되는 DOTS1 클럭잡음은 식 (8), DOTS2는 식 (9)과 같이 표현할 수 있다. 여기서 수식의 간략화를 위하여 모든 NE의 LPF 전달함수를 $H_1(s)$, 모든 DOTS의 LPF 전달함수를 $H_2(s)$ 로 같다고 가정하였다. 식 (8)과 식 (9)에서 얻은 클럭잡음은 SNCA를 통하여 얻은 후 MTIE와 TDEV를 측정하면 DOTS의 클럭성능을 알 수 있다. 상기 수식을 이용하는 SNCA 흐름도는 (그림 4)에 나타나 있다. 먼저 PRS, NE, DOTS의 원더생성 모델을 선택한 후 클럭상태, TYPE/OPT, 차단주파수와 노드수를 차례로 선택하면 최종 DOTS 클럭잡음과 MTIE/TDEV 특성을 얻을 수 있다. 여기서 클럭잡음을 생성할 때는 랜덤한 잡음을 사용하기 때문에 10회 반복측정 후 평균 처리하도록 되어 있다.



(그림 4) SNCA 흐름도

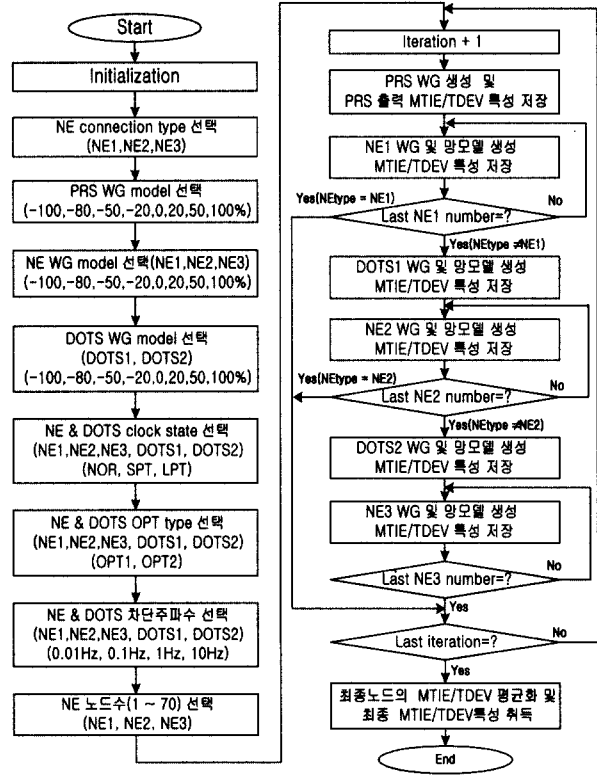
4.3 TNCA

전송망 클럭성능을 얻을 수 있는 전송망 클럭잡음 분석 시뮬레이터인 TNCA는 (그림 5)와 같이 구성되고, (그림 1)(c), (그림 1)(d), (그림 1)(e)와 같이 NE1, NE2와 NE3 출력클럭 성능을 도출할 수 있다. TNCA에 적용되는 파라메터는 대부분 SNCA와 동일하게 적용되며, NE3의 노드수는 k 로 나타내었다. TNCA는 식 (7), 식 (10)과 식 (11)을 이용하여 전송망 클럭잡음 모델출력인 NE1, NE2와 NE3를 얻을 수 있다. 식 (7)은 PRS를 입력으로하고 i 개 노드를 가진 NE1, 식 (10)은 DOTS1을 입력잡음으로하고 j 개 노드를 가진 NE2를 나타내며, 식 (11)은 DOTS2를 입력잡음으로하고 k 개 노드를 가진 NE3을 나타내는 전송망 모델이다.

$$N_{20}^{(j)}(s) = (H_1(s))^j DT1_o(s) + \sum_{i=1}^j (H_1(s))^{j-i} [N_{WGn}^{(i)}(s) + N_{PT}^{(i)}(s)] \quad (10)$$

$$N_{30}^{(k)}(s) = (H_1(s))^k DT2_o(s) + \sum_{i=1}^k (H_1(s))^{k-i} [N_{WGn}^{(i)}(s) + N_{PT}^{(i)}(s)] \quad (11)$$

TNCA의 흐름은 (그림 5)와 같이 먼저 3가지 전송망 형태중 하나를 선택하고, PRS, NE, DOTS(NE2, NE3일 때만 선택)의 원더생성과 클럭상태, 노드수 등을 차례로 선택한 후 최종 NE1, NE2, NE3 클럭잡음과 MTIE/TDEV 특성을 얻을 수 있다.



(그림 5) TNCA 흐름도

5. 시뮬레이션 수행 및 결과분석

동기망과 전송망에서의 클럭특성은 본 논문의 TNCA와 SNCA 시뮬레이터를 통해 원하는 원더생성, 노드수, 클럭상태 등의 입력상태에 따른 최종 출력 클럭성능을 얻을 수 있다. 얻어진 클럭성능은 (그림 2)와의 비교를 통해서 ITU-T 규격에 만족 여부를 확인할 수 있고, 또한 규격을 만족하는 최대 노드수의 결과를 얻을 수 있다. 따라서 4장에서 살펴본 TNCA와 SNCA 시뮬레이터를 활용하여 NE1, NE2와 NE3, 그리고 DOTS1과 DOTS2에서 각각의 원더생성과 노드수 및 클럭상태에 따른 망 허용 최대 노드수와 클럭 성능을 알아보았다. 여기서 노드수의 최대 적용범위는 70개로 제한하였다. 본 시뮬레이터에서 적용되는 식 (1)의 x_0, y_0, D 값은 DOTS TYPE I 일 경우 각각 $60ns, 0.5ns/s, 2.3 \times 10^{-6} ns/s^2$, DOTS TYPE II 일 경우 각각 $150ns, 1.0ns/s, 1.16 \times 10^{-5} ns/s^2$ 를 적용하였으며, NE OPT1일 경우 $120ns, 50ns/s, 1.16 \times 10^{-4} ns/s^2$, NE OPT2일 경우 $20ns, 50ns/s, 5.8 \times 10^{-4} ns/s^2$ 으로 적용하였다. 그리고 동기상태 메시지 처리시간[18]은 200ms를 적용하였다.

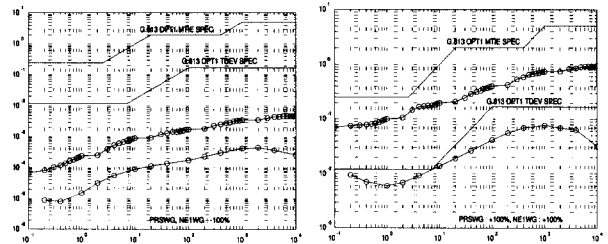
5.1 TNCA

5.1.1 NE1 클럭특성

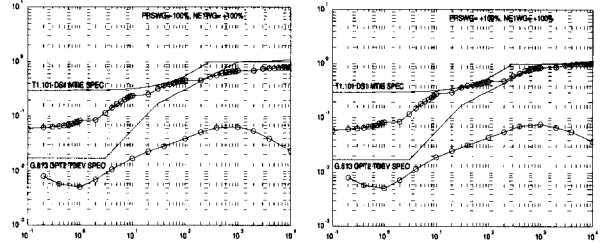
PRS를 동기원으로 하고, i 개의 NE1 노드를 통과한 정상상태에서의 클럭특성은 (그림 6)에 나타나 있다. (그림 6) (a)는 최상의 경우인 -100%의 PRS와 NE1 모델을 사용하여 i 를 70까지 증가하였을 때 NE1 OPT1 MTIE/TDEV 클럭특성이며, 관련 클럭규격을 만족하고 있다. 가장 최악의 경우인 100%의 PRS와 NE1 모델을 적용시켰을 때 (그림 6)(b)와 같이 i 가 15일 때까지 표준규격을 만족하고, 이보다 노드수를 증가할 경우 7초의 TDEV 규격을 만족하지 않았다. (그림 6)(c)와 (그림 6)(d)는 NE1 OPT2를 적용하였을 경우이며, PRS와 NE1 모델을 -100%에서 100%까지 적용하더라도 i 가 70까지 표준규격을 만족함을 볼 수 있다.

(그림 7)은 SPT와 LPT 상태에서의 NE1 클럭성능이다. (그림 7)(a)와 (그림 7)(b)는 SPT 상태에서 100% PRS와 NE1 모델을 사용할 때의 최대 노드수이고, OPT1일 때는 i 가 9까지, OPT2에서는 i 가 26까지 규격값을 만족하였다. (그림 7)(c)와 (그림 7)(d)에서는 OPT1 LPT 상태에서 최악인 100% PRS/NE1 모델을 사용하더라도 i 가 70에서도 표준규격을 만족하였고, OPT2에서는 최상인 -100% PRS/NE1 모델을 사용하더라도 i 가 1에서부터 6초의 MTIE 규격을 만족하지 않는 것으로 나타났다.

시뮬레이션을 통해 NE1의 모든 원더생성 모델과 클럭상태를 고려하여 얻어진 최대 노드수는 (그림 8)에 나타나 있다. 여기서 '70+'는 70개의 노드를 사용하더라도 규격치를

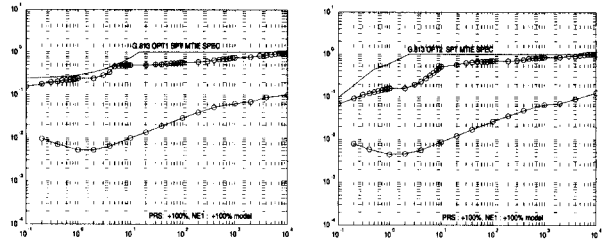


(a) OPT1, -100% PRS, $i = 70$ (b) OPT1, 100% PRS, $i = 15$

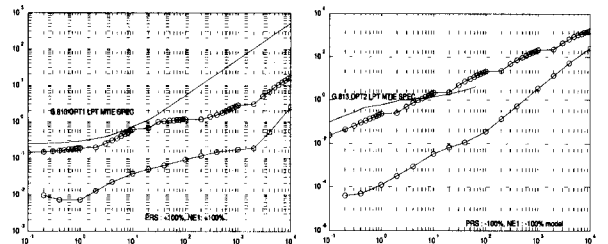


(c) OPT2, -100% PRS, $i = 70$ (d) OPT2, 100% PRS, $i = 70$

(그림 6) 정상상태에서의 NE1 클럭특성



(a) SPT, OPT1, 100% PRS, $i = 9$ (b) SPT, OPT2, 100% PRS, $i = 26$

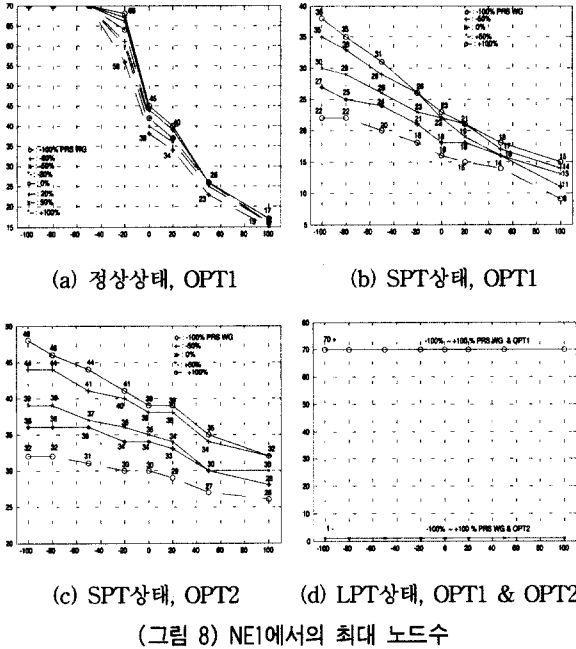


(c) LPT, OPT1, 100% PRS, $i = 70$ (d) LPT, OPT2, -100% PRS, $i = 1$

(그림 7) SPT/LPT상태에서의 NE1 클럭특성

만족한다는 것이고, '1-'는 1개의 노드에서도 표준규격을 만족하지 않는다는 것이며, SPT와 LPT 상태는 PRS와 NE1 모두 SPT 혹은 LPT 상태일 때의 결과이다. (그림 8)에서 정상상태와 SPT 상태에서는 원더생성 모델이 악화될수록 최대노드수가 감소하고, 또한 정상상태보다 SPT 상태에서, 그리고 OPT2보다 OPT1에서 만족하는 최대 노드수가 감소하는 것을 볼 수 있다. 또한 LPT 상태에서 OPT1은 70이상에서 만족하지만 OPT2는 1개의 노드에서도 규격을 넘어섰다. 정상상태에서 그림상 표기되지 않은 원더생성별 최대 노드수

의 시뮬레이션 결과는 <표 1>에 나타나 있고, OPT2에서는 70이상에서도 만족하였다. 참고적으로 (그림 8)과 <표 1>에 나타난 모든 경우에 대한 MTIE 및 TDEV 클럭성능 결과 그림은 방대한 량으로 인해 본 논문에 게재하지 못하였다.

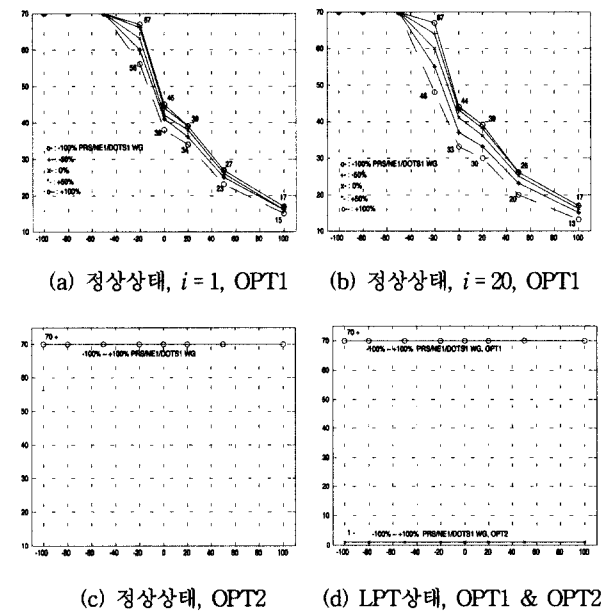
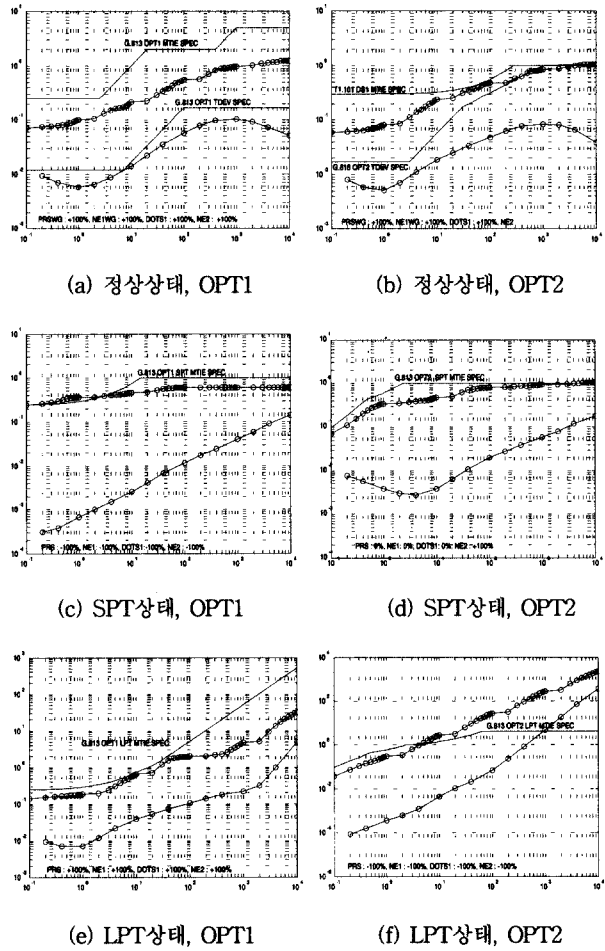


<표 1> NE1 정상상태에서의 최대 노드수(OPT1/OPT2)

PRS \ NE1	-100%	-80%	-50%	-20%	0%	20%	50%	100%
-100%	70+/70+	70+/70+	70+/70+	68+/70+	45+/70+	40+/70+	26+/70+	17+/70+
-80%	70+/70+	70+/70+	70+/70+	67+/70+	44+/70+	39+/70+	26+/70+	17+/70+
-50%	70+/70+	70+/70+	70+/70+	66+/70+	44+/70+	39+/70+	26+/70+	17+/70+
-20%	70+/70+	70+/70+	70+/70+	65+/70+	44+/70+	39+/70+	26+/70+	17+/70+
0%	70+/70+	70+/70+	70+/70+	64+/70+	42+/70+	37+/70+	26+/70+	16+/70+
20%	70+/70+	70+/70+	70+/70+	61+/70+	42+/70+	37+/70+	26+/70+	16+/70+
50%	70+/70+	70+/70+	70+/70+	60+/70+	40+/70+	36+/70+	25+/70+	16+/70+
100%	70+/70+	70+/70+	70+/70+	56+/70+	38+/70+	34+/70+	23+/70+	15+/70+

5.1.2 NE2 클럭특성

PRS, NE1 i 개 노드, DOTS1과 NE2 j 개 노드로 구성된 NE2 클럭특성은 (그림 9)에 나타나 있다. (그림 9)(a)는 정상상태에서 NE2 구성요소의 원더생성을 최악인 100% OPT1을 사용하고, i 를 20으로 할 때 j 가 15일 때까지 표준 규격을 만족함을 볼 수 있고, (그림 9)(b)는 OPT2에서 (그림 9)(a)와 동일한 조건일 때 j 의 값이 70이더라도 MTIE 및 TDEV 표준규격을 모두 만족하였다. SPT상태인 (그림 9)(c)와 (그림 9)(d)에서 보면 OPT1은 구성요소 모두 최상인 -100% 원더생성과 i 와 j 가 1일 때부터 0.2초~2초 관측 시간 구간에서 MTIE 규격을 만족하지 않았고, OPT2는 100% NE2 원더생성과 그 외 구성요소들의 원더생성이 0% 일 때부터, 그리고 i 가 20이고 j 가 1일 때부터 5000초 관측



시간을 가진 MTIE 규격을 만족하지 않았다. LPT 상태인 (그림 9)(e)와 (그림 9)(f)에서는 OPT1일 때 모든 구성요소

의 원더생성을 최악으로 사용하고 i 가 20, j 가 70에서도 표준규격을 만족하였으나 OPT2에서는 -100%인 최상의 원더생성을 사용하고 i 가 1, j 가 1일 때부터 5초 MTIE 규격에서부터 규격을 만족하지 못하였다. NE2에서 모든 구성요소의 원더생성 모델과 클럭상태 및 i 노드수를 고려한 시뮬레이션에서 얻어진 최대노드수는 (그림 10)에 나타나 있다. (그림 10)(a)와 (그림 10)(b)는 OPT1 정상상태에서 i 가 1, 20일 때 원더생성별 최대 노드수이며, i 가 10일 때와 세부적 노드수는 <표 2>에 자세히 나타내었다. 여기서 OPT1은 5.1.1절에서 살펴본 NE1 경우보다 노드수가 다소 줄어들고 있고, OPT2에서는 (그림 10)(c)와 함께 70개까지 규격을 만족하고 있다. LPT 상태는 (그림 10)(d)에 나타나 있으며, OPT1에서는 NE1 경우와 같이 모든 구성요소가 최악의 원더생성을 사용하더라도 70이상에서 만족하고 있지만 OPT2에서는 최상의 원더생성을 사용하더라도 i 와 j 가 1개 노드에서도 규격을 넘어섰다. SPT상태는 <표 2>에서와 같이 OPT1일 경우 모든 최상의 조건인 i 와 j 가 1개 노드에서부터 규격을 벗어났으며, OPT2에서는 i 가 1, 10이고 j 가 1일 때까지는 표준규격을 만족하지만 i 가 20일 때인 (그림 9)(d)에서부터 1개의 노드도 만족하지 않았다.

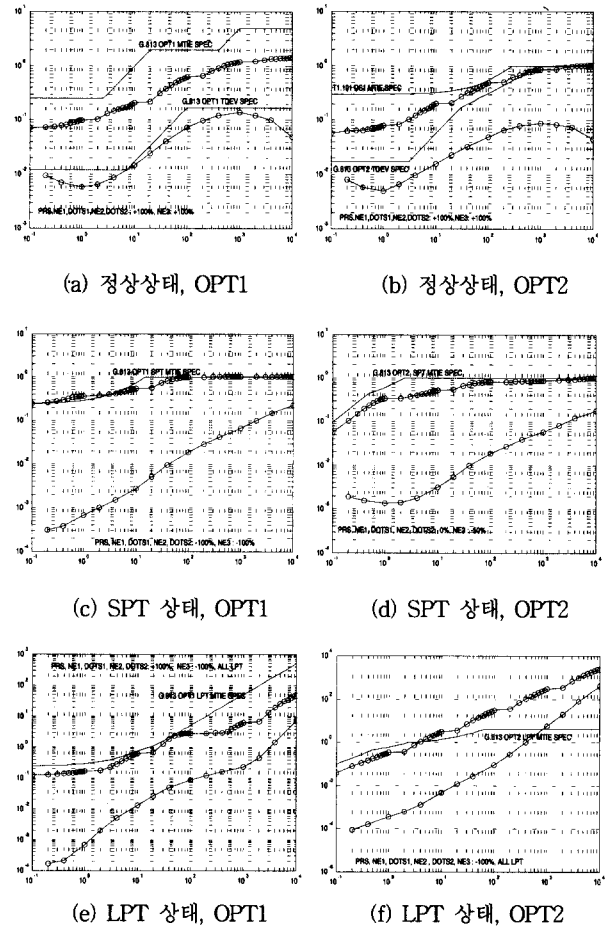
<표 2> NE2 정상상태와 SPT 상태의 최대 노드수(OPT1/OPT2)

		정상 상태								
가타 WG	NE2	-100%	-80%	-50%	-20%	0%	20%	50%	100%	
-100%	$i = 1$	70+/70+	70+/70+	70+/70+	67+/70+	45+/70+	39+/70+	27+/70+	17+/70+	
	$i = 10$	70+/70+	70+/70+	70+/70+	67+/70+	44+/70+	39+/70+	27+/70+	17+/70+	
	$i = 20$	70+/70+	70+/70+	70+/70+	67+/70+	44+/70+	39+/70+	26+/70+	17+/70+	
-50%	$i = 1$	70+/70+	70+/70+	70+/70+	66+/70+	44+/70+	39+/70+	27+/70+	17+/70+	
	$i = 10$	70+/70+	70+/70+	70+/70+	65+/70+	43+/70+	39+/70+	26+/70+	17+/70+	
	$i = 20$	70+/70+	70+/70+	70+/70+	64+/70+	43+/70+	38+/70+	26+/70+	17+/70+	
0%	$i = 1$	70+/70+	70+/70+	70+/70+	63+/70+	42+/70+	38+/70+	26+/70+	16+/70+	
	$i = 10$	70+/70+	70+/70+	70+/70+	62+/70+	42+/70+	37+/70+	25+/70+	16+/70+	
	$i = 20$	70+/70+	70+/70+	70+/70+	60+/70+	41+/70+	36+/70+	25+/70+	16+/70+	
50%	$i = 1$	70+/70+	70+/70+	70+/70+	60+/70+	41+/70+	36+/70+	25+/70+	16+/70+	
	$i = 10$	70+/70+	70+/70+	70+/70+	58+/70+	39+/70+	35+/70+	24+/70+	16+/70+	
	$i = 20$	70+/70+	70+/70+	70+/70+	55+/70+	37+/70+	33+/70+	23+/70+	15+/70+	
100%	$i = 1$	70+/70+	70+/70+	70+/70+	56+/70+	38+/70+	34+/70+	23+/70+	15+/70+	
	$i = 10$	70+/70+	70+/70+	70+/70+	53+/70+	36+/70+	32+/70+	22+/70+	14+/70+	
	$i = 20$	70+/70+	70+/70+	70+/70+	48+/70+	33+/70+	30+/70+	20+/70+	13+/70+	
		SPT 상태								
-100%	$i = 1, 10$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	
	$i = 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	
0%	$i = 1, 10$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	
	$i = 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	
50%	$i = 1, 10$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	
	$i = 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	

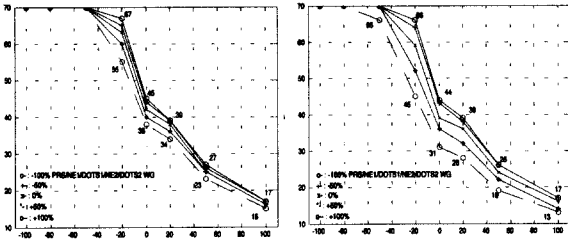
5.1.3 NE3 클럭특성

NE3는 PRS, NE1 i 개 노드, DOTS1, NE2 j 개 노드, DO TS2와 NE3 k 개 노드로 구성되고, 이에 대한 클럭특성은

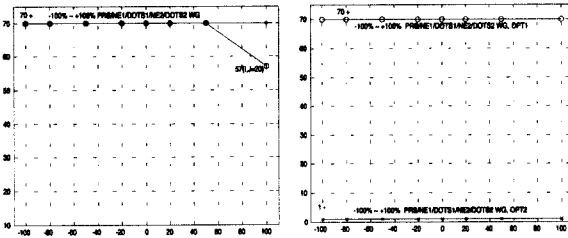
(그림 11)에 나타나 있다. (그림 11)(a)는 정상상태에서 NE3 구성요소 원더생성을 최악인 100% OPT1, i 와 j 를 20으로 할 때 k 가 13일 때까지 표준 규격을 만족하였고, OPT2인 (그림 11)(b)에서는 동일한 조건일 때 k 가 57까지 표준규격을 만족하였다. SPT상태는 (그림 11)(c), (그림 11)(d)와 같이 OPT1에서는 최상인 -100% 원더생성과 i 와 j 가 1일 때부터 0.2초 MTIE 규격을 만족하지 않았고, OPT2에서는 -50% NE3 원더생성과 그 외 요소들의 원더생성이 0%일 때부터, 그리고 i, j, k 가 1일 때부터 9000초의 MTIE 규격을 만족하지 않았다. LPT 상태인 (그림 11)(e)와 (f)에서는 OPT1일 때 모든 구성요소의 원더생성을 최악으로 사용하고 i, j 가 20, k 가 70에서도 표준규격을 만족하였으나 OPT2에서는 -100%인 최상 원더생성을 사용하고 i, j, k 가 1일 때부터 5초 MTIE 규격 규격을 만족하지 못하였다. 모든 구성요소의 원더생성과 클럭상태 및 노드수를 고려해서 얻어진 최대노드수 결과는 (그림 12)에 나타나 있다. (그림 12)(a)와 (그림 11)(b)는 OPT1 정상상태에서 i, j 가 1, 20일 때의 원더생성별 최대노드수이고, (그림 11)(c)는 OPT2일 경우이며, 최악의 원더생성과 i, j 가 20, k 가 57일 경우((그림 11)(b))를 제외하면 70개 이상인 k 의 노드수를 가질 수 있음



(그림 11) NE3에서의 클럭특성



(a) 정상상태, $i, j = 1$, OPT1 (b) 정상상태, $i, j = 20$, OPT1



(c) 정상상태, OPT2 (d) LPT상태, OPT1 & OPT2
(그림 12) NE3 정상상태와 LPT 상태에서의 최대 노드수

<표 3> NE3 정상상태와 SPT 상태의 최대 노드수(OPT1/OPT2)

		정 상 상 태							
기타 WG	NE3	-100%	-80%	-50%	-20%	0%	20%	50%	100%
-100%	$i, j = 1$	70+/70+	70+/70+	70+/70+	67/70+	45/70+	39/70+	27/70+	17/70+
	$i, j = 10$	70+/70+	70+/70+	70+/70+	67/70+	44/70+	39/70+	26/70+	17/70+
	$i, j = 20$	70+/70+	70+/70+	70+/70+	66/70+	44/70+	39/70+	26/70+	17/70+
-50%	$i, j = 1$	70+/70+	70+/70+	70+/70+	65/70+	44/70+	39/70+	26/70+	17/70+
	$i, j = 10$	70+/70+	70+/70+	70+/70+	64/70+	44/70+	39/70+	26/70+	17/70+
	$i, j = 20$	70+/70+	70+/70+	70+/70+	64/70+	43/70+	38/70+	26/70+	17/70+
0%	$i, j = 1$	70+/70+	70+/70+	70+/70+	63/70+	42/70+	38/70+	25/70+	16/70+
	$i, j = 10$	70+/70+	70+/70+	70+/70+	61/70+	41/70+	37/70+	25/70+	16/70+
	$i, j = 20$	70+/70+	70+/70+	70+/70+	59/70+	39/70+	36/70+	24/70+	16/70+
50%	$i, j = 1$	70+/70+	70+/70+	70+/70+	60/70+	40/70+	36/70+	25/70+	16/70+
	$i, j = 10$	70+/70+	70+/70+	70+/70+	57/70+	39/70+	35/70+	23/70+	16/70+
	$i, j = 20$	70+/70+	70+/70+	70+/70+	52/70+	36/70+	32/70+	22/70+	14/70+
100%	$i, j = 1$	70+/70+	70+/70+	70+/70+	55/70+	38/70+	34/70+	23/70+	15/70+
	$i, j = 10$	70+/70+	70+/70+	70+/70+	51/70+	35/70+	31/70+	21/70+	14/70+
	$i, j = 20$	70+/70+	70+/70+	70+/70+	66/70+	45/70+	31/70+	28/70+	19/70+
		SPT 상태							
-100%	$i, j = 1$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1
~50%	$i, j = 10, 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1
0%	$i, j = 1$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1
	$i, j = 10, 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1
50%	$i, j = 1$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1
	$i, j = 10, 20$	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1	1-/1

을 볼 수 있고, 세부적 노드수는 <표 3>에 자세히 나타나 있다. SPT상태는 <표 3>에서와 같이 OPT1일 경우 모든 조건에서 규격을 벗어났고, OPT2에서는 k 가 1인 (그림 11)(d) 조건부터 최대노드수가 1이 되지 못하였다. 그리고 LPT 상태는 (그림 12)(d)와 같이 OPT1에서는 모든 구성요소가 최악의 윈더생성을 사용하더라도 70이상에서 만족하

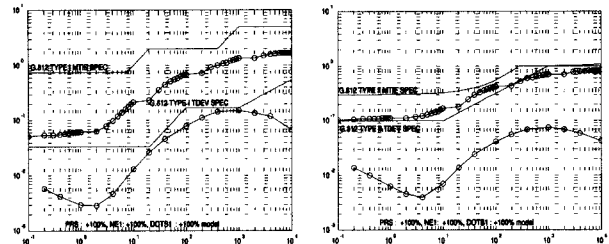
였고, OPT2에서는 최상의 윈더생성을 사용하더라도 i, j, k 가 1개의 노드에서도 만족하지 않았다.

5.2 SNCA

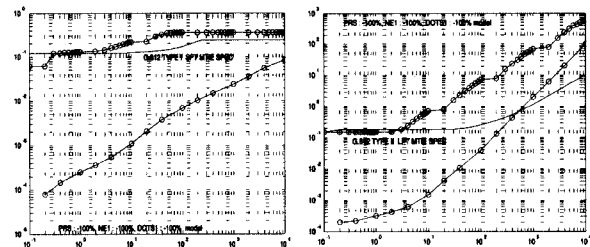
5.2.1 DOTS1 클럭특성

DOTS1 망 클럭특성은 PRS, NE1 i 개 노드, DOTS1을 통해서 얻어지고, (그림 13)과 같이 나타났다. (그림 13)(a)와 (그림 13)(b)는 모든 구성요소를 정상상태, 그리고 최악인 100% 윈더생성을 적용하면 i 가 70일 때까지도 TYPE I과 TYPE II의 DOTS 표준규격을 만족함을 볼 수 있다. (그림 13)(c)는 TYPE I SPT에서 최상인 -100% 윈더생성을 사용하더라도 i 가 1일 때부터 MTIE 규격을 넘어섰으며, (그림 13)(d)의 TYPE II LPT 상태도 SPT상태와 동일하게 i 가 1일 때부터 MTIE 규격을 만족하지 않았다.

모든 윈더생성과 클럭상태 및 노드수를 고려해서 얻어진 최대노드수는 (그림 14)에 나타나 있다. 정상상태에서의 TYPE I과 TYPE II는 모든 경우에서 70개 노드수까지 공히 만족하였고, SPT와 LPT 상태도 TYPE I과 TYPE II 모든 조건에서 하나의 노드도 만족하지 못하였다.

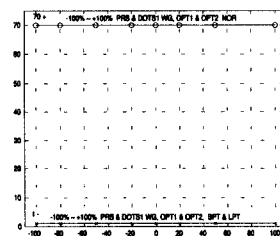


(a) 정상상태, TYPE I (b) 정상상태, TYPE II



(c) SPT 상태, TYPE I (d) LPT 상태, TYPE II

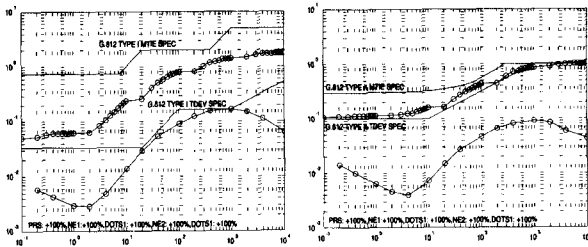
(그림 13) DOTS1에서의 클럭특성



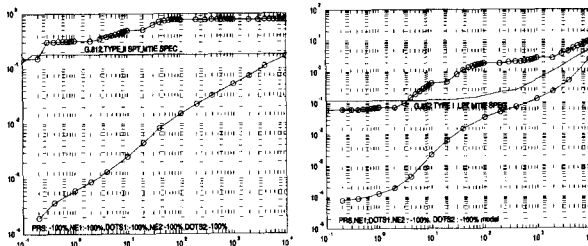
(그림 14) DOTS1에서의 최대 노드수

5.2.2 DOTS2 클럭특성

(그림 15)의 DOTS2 망 클럭특성은 PRS, NE1 i 개 노드, DOTS1, NE2 j 개 노드와 DOTS2를 통해서 얻어진다. (그림 15)(a)와 (그림 15)(b)는 정상상태에서 모든 구성요소가 최악의 원더생성을 사용하고, i 가 20, j 가 70일 때까지도 TYPE I과 TYPE II의 DOTS 표준규격을 만족함을 볼 수 있다. (그림 15)(c)는 TYPE II SPT에서 최상인 -100% 원더생성을 사용하더라도 i, j 가 1일 때부터 MTIE 규격을 만족하지 않았고, (그림 15)(d)는 TYPE I LPT 상태에서도 i, j 가 1일 때부터 MTIE 규격을 넘어섰다. DOTS2 TYPE I과 TYPE II에서의 최대노드수는 (그림 16)에 나타나 있다. (그림 16)(a)는 정상상태에서, 그리고 모든 원더생성에서 i 가 1, 10, 20일 때 j 가 70까지 만족하는 것을 볼 수 있고, (그림 16)(b)에서 SPT와 LPT상태는 TYPE I과 TYPE II 모두 하나의 노드도 만족치 못하였다.

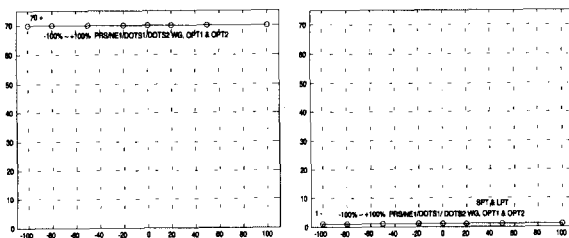


(a) 정상상태, TYPE I (b) 정상상태, TYPE II



(c) SPT 상태, TYPE II (d) LPT 상태, TYPE I

(그림 15) DOTS2에서의 클럭특성



(a) 정상상태 (b) SPT, LPT 상태

(그림 16) DOTS2에서의 최대 노드수

5.3 결과 분석

지금까지 SNCA와 TNCA를 이용하여 다양한 입력조건

에 따른 NE1, NE2, NE3, DOTS1과 DOTS2 클럭특성과 최대노드수 결과를 살펴보았다. NE1 망을 살펴볼 때 정상상태에서는 <표 1>과 같이 OPT1일 경우 최대 70개 이상에서 최소 15개 노드까지 분포하고 있고, OPT2일 경우 70개 이상으로 나타났다. 이는 OPT1 보다 OPT2의 표준규격이 완만함을 볼 수 있어서 정상상태만을 본다면 OPT1로 망을 구성할 경우 노드수의 제한이 필요함을 알 수 있다. SPT 상태에서는 (그림 8)에서와 같이 OPT1일 경우 최대 38개에서 최소 9개 노드로 분포하고 있고, OPT2일 경우 48개 노드에서 26개 노드로 분포하고 있어서 정상상태 보다 노드수가 줄어들고 있음을 볼 수 있어서 망노드수를 줄여서 설계하여야 함을 알 수 있다. LPT 상태는 OPT1일 경우 70개 노드 이상에서도 규격을 만족하였지만 OPT2일 경우 1개 노드를 사용하더라도 규격을 만족하지 못함을 볼 수 있다. 이는 x_0 를 최고 규격값을 적용함에 따라 나타나는 현상으로 볼 수 있지만 상대적으로 정상상태나 SPT와 달리 노드 마진을 가지지 못함을 볼 수 있어서 규격보완이 필요함을 알 수 있다. NE2 망을 볼 때 <표 2>와 같이 OPT1일 경우 j 가 70개 이상에서 13개까지, 그리고 OPT2일 경우 70개 이상으로 나타나고 있다. NE1보다 다소 노드수가 줄어드는 것을 볼 수 있고, i 가 1일 경우와 20일 경우의 노드수가 차이 나지 않는 것은 DOTS를 거치면서 클럭잡음이 제거되고 있음을 알 수 있다. SPT 상태는 <표 2>와 같이 OPT일 경우 모든 경우에서 1개 노드를 만족하지 못하였고, OPT2일 경우 1개 노드를 만족하다가 0%, i 가 20일 때부터 만족하지 않음을 볼 수 있다. 이는 망을 이루는 모든 노드를 SPT로 적용되는 최악상태였기 때문과 (그림 13)의 DOST1 SPT 상태에서 출력되는 클럭잡음의 영향이 크기 때문임을 알 수 있다. 여기서 본 논문에서는 SPT나 LPT를 적용할 때 모든 망요소를 동시에 적용하였기 때문이고, 만일 노드 및 원더생성에 따라 정상상태와 함께 적용할 때 만족하는 노드를 TNCA를 통해서 얻을 수 있지만 이렇게 할 경우 시뮬레이션해야 할 경우의 수가 지나칠 정도로 너무 많아지고 또한 오랜 시뮬레이션 기간을 가져야 하기 때문에 본 논문에서는 수행범위를 줄여서 수행하였다. LPT 상태는 NE1과 유사한 결과가 나왔다. NE3 망을 살펴보면 <표 3>과 같이 k 노드수가 DOTS1과 DOTS2의 요인으로 인하여 <표 2>의 j 노드수 보다 조금밖에 줄지 않았지만 상대적인 노드수는 증가하였다. SPT와 LPT는 NE2 경우와 유사하게 나타났다. DOTS1과 DOTS2 망에서는 정상상태 모든 경우에서 70개 이상의 노드를 사용할 수 있지만 SPT나 LPT 상태에서는 DOTS1 망부터 1개 노드를 만족하지 못하였다. 이는 앞서 언급하였지만 모든 노드를 동일 상태로 적용하였기 때문과 x_0 를 최고 규격값을 적용함에 따라 나타나는 현상으로 분석할 수 있다. 본 논문의 TNCA와 SNCA를 활용하여 얻은

시뮬레이션 결과를 종합해 보면 NE망과 DOTS망에 대한 다양한 입력조건에 따른 최대노드수를 얻었으며, 또한 NE망에서는 원더생성이 악화되거나 혹은 NE1, NE2와 NE3망으로 구축될수록, 그리고 정상상태, SPT, LPT 순으로 최대노드수가 감소하였고, DOTS망에서는 정상상태의 모든 경우에서 70개 이상인 충분한 노드수를 가질 수 있다. 그러나 NE3 OPT2 LPT와 DOTS SPT/LPT 경우에서 규격완화를 제안하거나 x_0 , y_0 , D 값을 낮추어야 할 것이다. 본 연구결과의 검증은 기존연구[18]에서 사용한 클럭잡음 생성 프로그램을 그대로 활용하였기 때문에 기존연구에서 언급함과 동일하였다. 또한 본 연구결과를 통해 볼 때 시뮬레이터에 선택해야 할 입력 파라미터가 지나치게 많아질 수 있지만 x_0 , y_0 , D 값(SPT와 LPT만 적용)을 설정할 수 있도록 하여 좀 더 다양한 장치 및 망 환경을 적용할 수 있도록 개선시켜 사용하여야 할 것으로 판단된다.

6. 결 론

동기망과 전송망에서의 동기클럭 성능은 망의 안정성 확보와 End-to-End 데이터 전송 보장 측면에서 중요한 요소 중에 하나이다. 이에 따라 지금까지 국내외적으로 많은 연구가 이루어져 왔다. 그러나 망을 설계할 때 동기망과 전송망의 동기클럭 성능을 분석하기 위하여 다양한 파라미터를 적용할 수 있고, 그리고 최상상태에서 최악상태까지 망에서 나타날 수 있는 여러 가지 입력레벨을 적용할 수 있는 시뮬레이터가 필요하다. 따라서 본 논문에서는 동기망과 전송망에서의 동기클럭 특성을 분석할 수 있는 SNCA와 TNCA를 개발하였다. 또한 개발된 시뮬레이터를 활용하여 다양한 원더생성, 노드수, 클럭상태의 입력조건에 따른 NE1, NE2와 NE3 등 전송망과 DOTS1과 DOTS2 등 동기망에서의 동기클럭 특성과 최대 노드수 결과를 얻었다. 또한 NE망에서는 원더생성이 악화되거나 혹은 NE1, NE2, NE3망으로 구축될수록, 그리고 정상상태, SPT, LPT 순으로 최대노드수가 감소하였고, DOTS 망에서는 모든 경우의 정상상태에서 70개 이상인 충분한 노드수를 가질 수 있음을 알았고, NE3 OPT2 LPT와 DOTS SPT/LPT 경우에서 규격을 완화하거나 x_0 , y_0 , D 설정값을 낮추어야 할 필요성이 있음을 알았다. 또한 본 연구결과를 통해 볼 때 입력 파라미터가 지나치게 많아질 수 있지만 시뮬레이터에서 x_0 , y_0 , D 값을 설정할 수 있도록 개선시켜 사용하여야 할 것이고, 그리고 정상상태, SPT, LPT 등이 혼재된 상태에 대한 연구가 계속되어야 할 것으로 판단된다. 본 논문에서 얻어진 연구결과는 기존 SDH망, WDM망과 IP 동기 뿐 아니라 최근 등장하고 있는 차세대 장치인 NG(next generation)-SDH 장치 개발과 망 설계 연구 등에 활용할 수 있을 것이며, 또한

필요한 통신 사업자나 연구기관이 있다면 연구 다변화를 위하여 본 시뮬레이터를 제공할 예정이다.

참 고 문 헌

- [1] ITU-T Recommendation G.707, "Network node interface for the synchronous digital hierarchy (SDH)," August, 2002.
- [2] 한국전기통신공사, 디지털 클럭 공급장치(DOTS) 설명서, 1988.
- [3] R. G. Kusyk, W. A. Krzymien and T. E. Moore, "Analysis of techniques for the reduction of jitter caused by SONET pointer adjustments," *IEEE Trans. Comm.* Vol.42, No.2/3/4, pp.2036-2050, Feb./Mar./Apr., 1994.
- [4] 이창기, 김재근, SDH 시스템에서의 포인터조정 지터 감소 알고리즘 및 성능연구, 대한전자공학회논문지, 제30A권 제2호, pp.1-9, 1993.
- [5] ITU-T Draft Recommendation G.810, "Definition and terminology for synchronization network," Nov., 2001.
- [6] ITU-T Draft Recommendation G.811, "Timing characteristics of primary reference clocks," Sept., 1996.
- [7] ITU-T Draft Recommendation G.812, "Timing requirements of slave clocks suitable for use as node clocks in synchronization networks," June, 1998.
- [8] ITU-T Draft Recommendation G.813, "Timing characteristics of SDH equipment slave clocks(SEC)," Aug., 1996.
- [9] ITU-T TD 32, "Reprt on Question 18/13-Network Synchronization and Time Distribution Performance," February, 2000.
- [10] Dirceu Cavendish *et al.*, "Next Transport Services for Next Generation SONET/SDH Systems," *IEEE Communications Magazine*, pp80-87, May, 2002.
- [11] S. Bregni, M. Carbonelli, D. De Seta, and D. Perucchini, "Clock stability measure dependence on time error sampling period," *Proceedings of IEEE GLOBECOM '94*, pp.1451-1455, 1994.
- [12] G. M. Garner, "Accumulation of random noise in a chain of slave clocks," *Proceedings of the 48th Annual Symposium on Frequency Control, IEEE*, Boston, USA, June, 1994.
- [13] 임범중, 이두복, 최승국, 김장복, "동기식 통신망에서 발생되는 위상시간 에러의 컴퓨터 시뮬레이션에 관한 연구", 한국통신학회논문지, 제19권 제11호, pp.2160-2169, 1994.
- [14] S. Bregni and D. Perucchini, "Different behaviour of frequency stability measures in independent and synchronized clocks ; theoretical analysis and measurements results," *Proc. IEEE SUPERCOMM/ICC '94*, New Orleans, pp.1066-1070, May, 1995.

[15] G. Garner, "Noise accumulation in synchronization reference chains," *Contribution to T1 Standard Project*, T1X1.3/95-044, 1995.

[16] 이창기, 이재환, 홍재근, "동기식 전송망의 망동기클럭 시물레이션에서 양선형 변환에 의한 플리커잡음 발생방법", 한국통신학회 하계학술발표회논문집, 제15권 제1호, pp.1583-1587, 1996.

[17] 이창기, 이철, 홍재근, "동기식전송망에서의 망동기클럭 성능 분석", 한국통신학회 하계학술발표회논문집, 제15권 제1호, pp.1578-1582, 1996.

[18] 이창기, 홍재근, 동기식 선형망에서의 망동기 클럭 특성 분석에 관한 연구, 한국통신학회논문지, 제22권 제9호, pp.2062-2073, 1997.

[19] 이창기, 홍재근, 이완규 "동기식 전송망에서의 포인터조정 발생 특성분석", *JCCI98* 논문집, 제2권, pp.1091-1095, 1998.

[20] 이창기, "동기식 전송망에서의 차단주파수에 따른 단기안정 클럭 특성 분석", 한국통신학회 추계학술발표회논문집, 제20권 제2호, pp.2054-2057, 1999.

[21] 이창기, "동기망과 동기식 전송망에서의 동기클럭 단기안정 특성 분석", 정보처리학회논문지C, 제8-C권 제3호, pp.299-310, 2001.

[22] ANSI T1.101, "Synchronization interface standard," 1999.

[23] ANSI T1.105.09, "Network element timing and synchronization," 1997.



이 창 기

e-mail : cklee@mail.uiduk.ac.kr

1984년 경북대학교 전자공학과(학사)

1986년 경북대학교 대학원 전자공학과
(석사)

1998년 경북대학교 대학원 전자공학과
(박사)

1987년~1998년 한국전자통신연구원 광통신연구부 선임연구원

1999년~현재 위덕대학교 정보통신공학부 조교수

관심분야 : SDH, WDM 전송시스템