

경계면스캔에서의 연속캡처 시험구조 개발

장 영 식[†] · 이 창 희[†]

요 약

경계면스캔 구조는 시험대상회로의 입력측 스캔경로에 직렬입력을 통하여 시험패턴을 입력하고, 병렬로 대상회로에 인가한 후, 응답값을 출력측 스캔경로를 통하여 TDO로 직렬로 출력하는 시험구조로서, 대상회로의 동작속도에 맞추어 인가되는 연속적인 시험패턴에 대한 대상회로의 동적인 변화되는 출력을 관찰하는 것이 불가능하다. 본 논문에서는 대상회로의 동작속도 환경하에서 연속적인 시험패턴을 입력하여 시험대상회로의 연속적인 동적인 출력값들을 지속적으로 TDO로 출력함으로써 대상회로에 대한 성능시험에 사용할 수 있는 패턴생성기와 CBSR(Continuous capture Boundary Scan Register)를 이용한 시험구조와 시험절차를 개발하였다. 본 논문에서 사용된 CBSR은 연속캡처 설정과 쉬프트경로 설정을 위해 개발되었으며, 표준의 경계면 스캔 레지스터의 기능을 정상적으로 수행하도록 설계되었다. Altera의 Max+Plus 10.0를 사용하여 패턴생성기와 CBSR을 이용한 시험구조를 설계하고, 스캔구조를 적용 설계하고, CCAP명령어를 사용한 시험절차를 시뮬레이션을 통해 제안된 시험구조의 동작의 정확성을 확인하였다.

키워드 : 회로 시험, 경계면스캔, IEEE1149.1, 실시간 시험

Development of Continuous Capture Test Architecture in the Boundary Scan

Young-Sig Jhang[†] · Chang-Hee Lee[†]

ABSTRACT

In boundary scan architecture, test stimuli are shifted in one at a time and applied to the on-chip system logic. The test results are captured into the BSR and are examined by subsequent shifting. In this paper, we developed a continuous capture test architecture and test procedure using TPG based on boundary scan is used to performance test. In this architecture, test patterns of TPG are applied to CUT with system clock rate, and response of CUT is continuously captured by CBSR(Continuous Capture Boundary Scan Register) at the same rate and the captured results is shifted to TDO at the same rate. The suggested a continuous capture test architecture and test procedure is simulated by Altera Max+Plus 10.0. The simulation results shows the accurate operation and effectiveness of the proposed test architecture and procedure.

Keywords : DFT, Boundary Scan, IEEE1149.1, Runtime Test

1. 서 론

경계면 스캔 구조는 대상회로에 대한 표준적인 시험구조로 개발되었으며, 회로에 대한 표준적인 접근을 허용케 하는 시험구조로서 대부분의 칩 제조사에서 사용하는 시험 구조이다. 경계면 스캔 구조는 각 IC 칩의 모든 입출력포트에 기억소자를 두고, 이것을 직렬 쉬프트 레지스터 스캔경로로 연결시키는 기능을 추가하는 것이다. 경계면스캔을 이용하면 IC 칩들의 모든 초단입력(Primary Input: PI)과 중단출력(Primary Output: PO)을 하나의 경계면스캔 입력(TDI)과 한 경계면스캔 출력(TDO)을 가진 쉬프트 레지스터 직렬체

인으로 연결함으로써 외부에서부터 PCB 상의 모든 초단입력과 중단출력들에 접근하고 제어할 수 있는 기법이다.[1-4]

경계면 스캔 구조에서는 대상회로의 모든 입출력 신호선에 경계면 스캔 레지스터(BSR:Boundary Scan Register)를 연결시키고, 모든 BSR을 하나의 직렬체인구조로 연결시킨 형태를 가진다. 대상회로에 대한 시험패턴의 인가는 TDI를 통하여 직렬로 대상회로의 입력측에 연결된 모든 BSR들에 비트열을 직렬로 쉬프트 시켜 인가한 후 병렬로 대상회로에 적용시킨다. 시험패턴이 적용된 대상회로의 결과는 출력측에 연결된 모든 BSR에서 동시에 응답값을 캡처한 후 TDO로 직렬로 출력하게 된다. 이 과정에서 시험패턴을 적용하고 응답값을 구하기위해서는 대상회로의 입력신호선 수와 출력신호선 수, 둘 중의 큰 수 만큼에 해당하는 쉬프트 시간이 소요되며 이로인해 대상회로에 대한 정상적인 동작속도환경에서의 시험은 불가능하다. 즉, 연속적인 시험패턴을

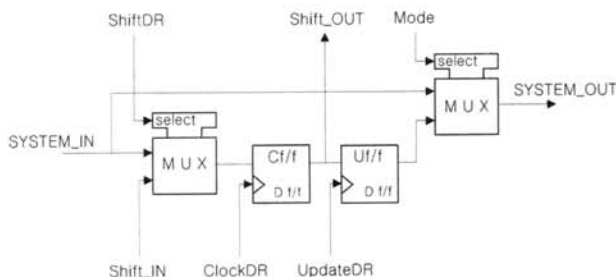
[†] 정 회 원 : 계명문화대학 컴퓨터학부 교수
논문접수: 2008년 9월 8일
수정일: 1차 2009년 1월 14일
심사완료: 2009년 1월 15일

대상회로에 인가하기 위해서는 TDI를 통한 직렬입력으로 시험패턴을 입력하는 것은 불가능하며, 실클럭에 동작하는 시험패턴생성기를 대상회로의 입력에 연결함으로써 가능하다. 그러나 대상회로의 응답값들을 1개의 TDO를 통해 직렬로 출력해야하므로 대상회로의 모든 출력을 실클럭으로 관찰할 수는 없다. 그러나, 대상회로의 1개의 특정한 출력은 1개의 TDO를 통해서 연속적으로 출력하는 것은 가능하다.

본 논문에서는 패턴생성기와 CBSR을 이용한 시험구조와 시험절차를 개발하였다. 패턴생성기를 이용하여 시험대상회로에 연속적인 입력이 가능하게 하였으며, 표준의 경계면 스캔 레지스터를 이용한 시험구조에서 불가능했던 대상회로의 정상적인 동작속도환경에서의 연속적인 입력에 대한 대상회로의 연속적인 결과를 캡처하여 출력하기 위하여 새로운 경계면 스캔 레지스터인 CBSR을 설계하였다. 특정 하나의 출력을 선택하기 위한 선택클럭 명령어와 이를 이용한 시험절차를 개발하였다. 본 논문의 구성은 1장 서론에 이어서, 2장에서 TAP제어기 신호와 일반적인 경계면스캔 레지스터의 동작관계에 대해 알아보고, 3장에서 연속 캡처가능한 CBSR의 동작과 설계를 다루며 4장에서는 CBSR과 패턴생성기를 사용한 시험구조와 시험명령어, 시험절차를 논하며, 설계된 시험구조를 시뮬레이션을 통해 제안된 시험 구조와 시험절차에 대한 동작의 정확성을 확인한다. 그리고 5장에서 결론을 맺는다.

2. BSR과 TAP제어기의 동작분석

경계면 스캔 레지스터(boundary-scan register:BSR)는 쉬프트 레지스터 기반구조로서, 특정 소자의 요구를 충족시키기 위해 여러 종류의 셀이 설계되며, 시스템 핀의 종류(input,output,3-state,bidirectional)에 따라, 또 지원되는 경계면 스캔 명령들에 따라 서로 다른 구조를 가진다. (그림 1)은 전형적인 경계면 스캔 레지스터로서 ClockDR, ShiftDR, 및 UpdateDR신호는, TAP제어기가 TCK와 TMS입력의 변화에 대한 응답으로 생성한다. Mode입력은 경계면 스캔 레지스터에 연결되는 핀의 유형(input, output)과 선택된 명령어에 따라 제어된다. 이러한 BSR들은 각각 앞단의 BSR의 Shift_OUT신호가 뒷단의 Shift_IN신호와 연결되는 직렬 체인으로서 서로가 연결된다. 제일 앞단의 BSR의 Shift_IN에



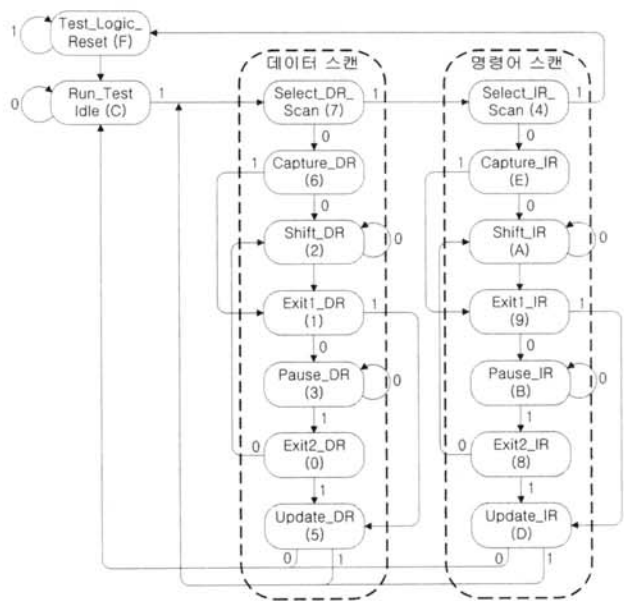
(Fig. 1) Typical design of Boundary Scan Register
(그림 1) 전형적인 경계면 스캔 레지스터의 구조

는 TDI입력이 연결되어 전체 BSR체인에 대한 데이터를 직렬 입력하게되며, 제일 마지막단의 BSR의 Shift_OUT신호는 TDO출력에 연결되어 BSR의 Cf/f에 입력된 값들을 직렬로 출력할 수 있다. Cf/f에 입력되는 데이터는 BSR이 연결된 회로의 출력인 Sigan_IN과 앞단에 연결된 BSR의 Shift_IN중 하나를 ShiftDR신호에 의해서 선택하게 된다. 즉, ShiftDR신호가 '1'인 경우에는 Shift_IN 신호가 Cf/f에 입력되며, '0'인 경우에는 Signal_IN신호가 Cf/f에 입력된다.

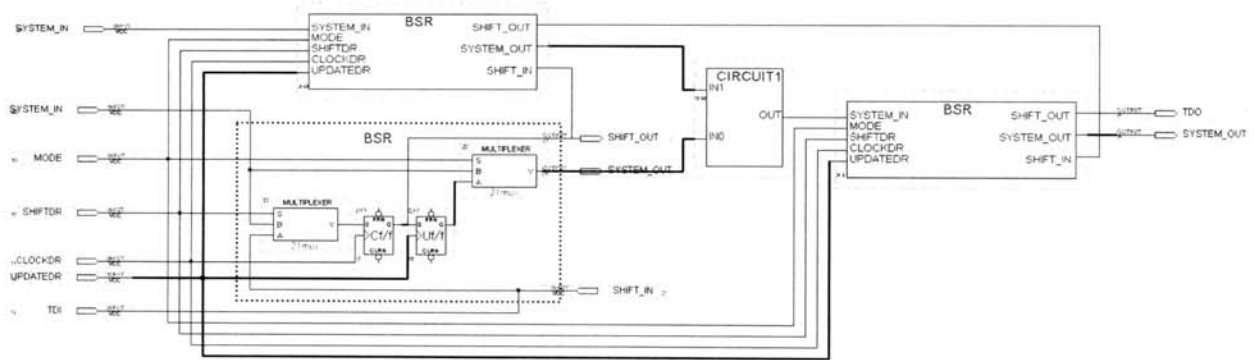
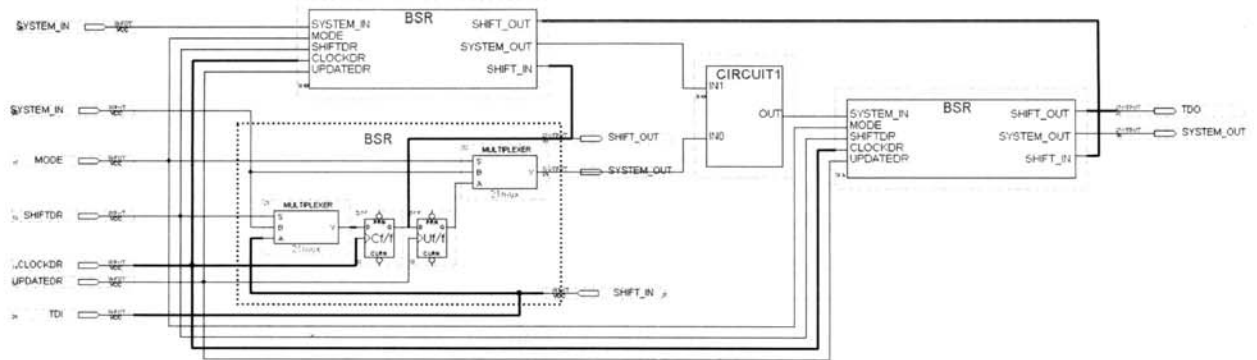
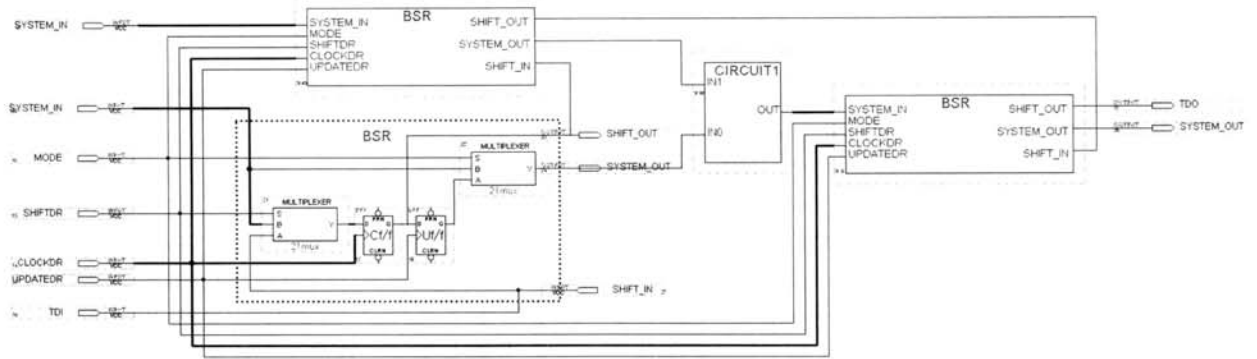
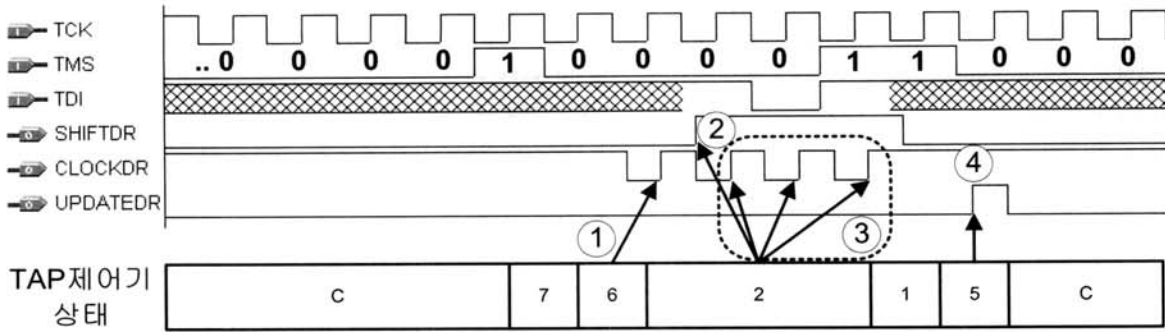
앞에서 언급한대로 BSR은 TAP제어기의 출력인 ClockDR, ShiftDR, 및 UpdateDR신호에 의해 동작이 결정된다. (그림 2)는 TAP제어기의 상태천이도를 나타낸다.

TAP제어기의 출력신호과정과 BSR의 동작을 분석하면 다음과 같다. (그림 3)에서 TAP제어기의 상태를 나타내는 16진수는 (그림 2)의 TAP제어기 상태천이도상에서 나타내고 있다. (그림 3)의 (a) (b) (c)는 BSR을 이용한 CIRCUIT1 회로에 대한 시험구조의 예로서, BSR의 동작과정을 보여주고 있다. CIRCUIT1은 2개의 입력과 1개의 출력을 갖으며, 각각 입력측에 2개의 BSR과 출력측에 1개의 BSR을 연결하였으며 3개의 BSR은 직렬연결형태를 취하고 있다. (그림 3)에서 TDI에 연결된 점선사각형안의 BSR은 세부회로도 를 보이고 있으며 나머지 2개의 BSR은 블록심볼로 나타내고 있다.

과정도와 예제회로의 동작을 살펴보면, 먼저 TAP제어기는 RTI상태를 유지하고 있다. TCK의 하강에지에서 TMS에 '1'이 입력되면 TAP제어기는 Select_DR상태로 천이하고, 이어서 TMS에 '0' 입력되면 ①의 Capture_DR상태가 된다. 이 상태에서 TAP제어기는 ClockDR신호에 1번의 상승에지를 발생시키며, 이 때 ShiftDR신호는 '0' 이므로 (그림 3)의 (a)의 캡처동작을 수행하게 된다. 직렬로 연결된 3개의 BSR의 Cf/f에는 MUX를 통한 SYSTEM_IN 신호가 캡처되어 저장된다.



(Fig. 2) State diagram of TAP controller
(그림 2) TAP제어기의 상태천이도



(Fig. 3) The operation of BSR with TAP controller
 (그림 3) TAP제어기와 BSR의 동작

이어서 TMS에 입력된 3개의 연속된 '0'에 의해 TAP제어기는 Shift_DR상태를 3클럭 주기동안 유지하며, Shift_DR상태에 들어가면서 ②에서 ShiftDR신호를 '1'로 천이시킨다. 이 후, ③에서 ClockDR신호에 3개의 상승에지를 발생시킨다. ShiftDR신호가 '1'이므로 Cf/f에는 입력으로 MUX를 통한 SHIFT_IN신호가 캡처된다. 즉, 직렬로 연결된 모든 BSR의 Cf/f에는 앞단에 있는 BSR의 Cf/f의 저장된 값이 쉬프트되어 입력된다. 이때 제일 앞의 BSR에는 TDI를 통한 입력 데이터가 저장된다. 즉, 3개의 ClockDR신호의 상승에지에서 TDI에 입력된 신호 '101'이 순서대로 Cf/f에 입력되며, 마지막단의 BSR의 SHIFT_OUT을 통해 이전 BSR의 Cf/f의 값들이 차례대로 쉬프트 출력되며, 이때 마지막 SHIFT_OUT이 TDO출력이 된다.

다음으로 TMS에 '1'이 입력되어 TAP제어기는 Update_DR상태로 천이하며, 이 상태에서 ④에 있는 UpdateDR신호에 1번의 상승에지를 발생시킨다. 이에 의해 Uf/f에는 연결된 Cf/f의 출력값이 저장된다. 즉, 모든 BSR의 Uf/f에는 앞의 Shift_DR상태에서 TDI를 통해 입력되어 Cf/f에 저장된 '101' 값이 각각에 연결된 Uf/f에 저장된다. 일반적으로 시험모드 시 Uf/f의 값이 SYSTEM_OUT으로 출력되어 연결된 대상회로에 병렬로 입력된다.

TAP제어기와 BSR의 전체적인 동작관계를 기술하면, 먼저 Cf/f에는 BSR이 연결된 대상회로의 출력값이 Capture_DR상태에서 캡처가 되고, 캡처된 값을 직렬연결된 BSR의 개수만큼 Shift_DR상태를 유지하여, 직렬로 연결된 BSR을 통해서 TDO로 직렬출력한다. 동시에 TDI를 통해 병렬로 인가할 데이터들을 Cf/f에 직렬로 입력시키게 된다. 이후 Update_DR상태에서 모든 BSR의 Cf/f에 직렬입력된 데이터가 Uf/f로 입력되면서 연결된 회로의 입력에 대한 병렬인가동작이 이루어진다. 즉, 대상회로의 입,출력 신호선의 개수만큼의 BSR이 필요하므로 최소한 입력신호선 수와 출력신호선 수, 둘 중의 큰 수 만큼의 Shift_DR상태유지가 매번 시험패턴을 인가하고 응답값을 출력하는데 필요하게 된다. 따라서 표준경계면 스캔구조에서 TAP제어기의 데이터 스캔경로를 통하여 대상회로에 대한 연속적인 시험패턴입력은 불가능하다.

또한 대상회로에 시험패턴을 인가하는 ④번에서 대상회로의 응답값을 캡처하는 ①번까지의 최단시간은 TAP제어기의 상태천이도상 Update_DR→ Select_DR→ Capture_DR의 천이 순서를 반드시 거쳐야 한다. TAP제어기는 TCK라는 클럭입력으로 동작하며, 다음 상태로의 변화는 1 주기의 TCK가 필요하므로 대상회로에 지연 시험을 위한 입력을 ④에서 인가하고, 이에 대한 응답 값을 ①에서 캡처하는데 최소 $2.5 * TCK$ 주기의 시간이 필요하다. 일반적으로 대상회로는 시스템 클럭에 동기를 맞춰 동작하므로 대상회로에 대한 입력이 있는 후, 그 응답 값은 $1/2$ 시스템 클럭, 또는 1 시스템 클럭내에 연결된 다른 회로에 인가되는 것이 일반적이다. 이를 검증하기 위한 것이 지연시험이며, 표준경계면 스캔에서는 불가능하다.[5-8]

연속적인 시험패턴을 대상회로에 인가하기 위해서는 TDI

를 통한 직렬입력으로 시험패턴을 입력하는 것은 불가능하며, 실클럭에 동작하는 시험패턴생성기를 대상회로의 입력에 연결함으로써 가능하다. 그러나 대상회로의 응답값들을 1개의 TDO를 통해 직렬로 출력해야하므로 대상회로의 모든 출력을 실클럭으로 관찰할 수는 없다. 그러나, 대상회로의 1개의 특정한 출력은 1개의 TDO를 통해서 연속적으로 출력하는 것은 가능하다.

본 논문에서는 시험패턴생성기를 이용하여 연속적인 시험패턴을 대상회로에 인가시키고, 연속입력에 대한 특정한 출력선의 연속적인 캡처값을 TDO로 출력할 수 있는 시험구조와 새로운 BSR을 설계하고자한다.

3. 연속캡처 가능한 BSR의 설계

2장에서 살펴본 바와 같이 경계면 스캔 구조에서 대상회로의 출력값을 캡처하기 위해서는 $2.5 * TCK$ 주기의 시간이 필요하다. 또한 다음 시험패턴을 적용하고 응답값을 구하기 위해서는 대상회로의 입력신호선 수와 출력신호선 수, 둘 중의 큰 수 만큼의 ShiftDR상태를 유지하여야 직렬로 TDI를 통해서 입력측 BSR의 Cf/f에 입력이 가능하고, 캡처한 값을 TDO로 출력가능하므로 대상회로의 실클럭동작에 대한 검증은 불가능하다.

3장에서는 대상회로의 출력측에 연결하여 연속적인 응답값을 캡처할 수 있는 BSR을 설계하고자한다. 편의상 CBSR(Continuous Capture Boundary Scan Register)라 칭한다.[9.10] 연속적인 입력에 대한 1개의 출력을 연속적으로 TDO로 출력하기 위해서는 먼저 어떤 출력을 연속적으로 캡처할 것 인지를 정할 수 있어야 한다. 또한 연속적으로 캡처한 응답값을 TDO로 출력하기 위해서는 연결된 BSR 직렬체인을 거쳐서만이 가능하므로, 직렬체인을 통과하는 동안 응답값이 변하지 않아야 한다. 위 조건을 만족시키기 위해 기존의 BSR의 Uf/f의 값을 연속캡처를 위한 지정과 응답값 전달을 위한 선별값으로 사용하였다.

(그림 4)는 설계된 CBSR의 블록회로도이다. CBSR은 기존의 BSR의 동작을 수행하면서, 연속캡처를 활성화시키는 CCAP입력을 추가로 가지고 있다. CCAP명령어가 명령어 레지스터에 입력되어 명령어 디코더에 의해 CCAP가 '1'이 되면 CBSR은 연속캡처를 위한 동작을 수행한다. 이 때, 출력측에 연결된 모든 CBSR중 어떤 CBSR이 연속캡처를 수행할 것 인지를 결정하기 위한 선별값으로 Uf/f의 저장된 값을 이용하도록 하였다. Uf/f의 저장된 값이 '0'인 CBSR은 SYSTEM_IN을 통하여 대상회로의 응답값을 Cf/f에 연결되도록 MUX2를 설계하였다. 또한 Uf/f의 저장된 값이 '1'인 CBSR은 SHIFT_IN을 통하여 CBSR직렬체인 구조에서 이전 CBSR의 Cf/f값을 입력받도록 하였다. 즉, CCAP명령어를 활성화하기전에 TDI를 통하여 출력측 CBSR의 Uf/f에 연속캡처를 지정하고, 응답값을 쉬프트출력하기위한 경로설정 선별값을 직렬로 입력해 놓아야한다. 추가로 CCAP에 연결된 NOT게이트와 AND게이트는 CCAP가 '1'인 동안

UPDATEDR신호를 무효화시킴으로써 Uf/f의 값이 변경되는 것을 방지하기위한 목적으로 사용된다. <표 1>은 (그림 4)의 CBSR 회로도에 포함된 MUX2 회로의 동작표이다.

MUX2의 심볼회로도나 동작표를 살펴보면, 입력되는 2개의 신호(SYSTEM_IN, SHIFT_IN)중 하나를 선택하여 Cf/f에 연결하는 역할을 수행한다. 어떤 신호를 선택하는가 하는 것은 SHIFTDR과 CCAP와 Uf/f_OUT 3개의 신호선값을 이용

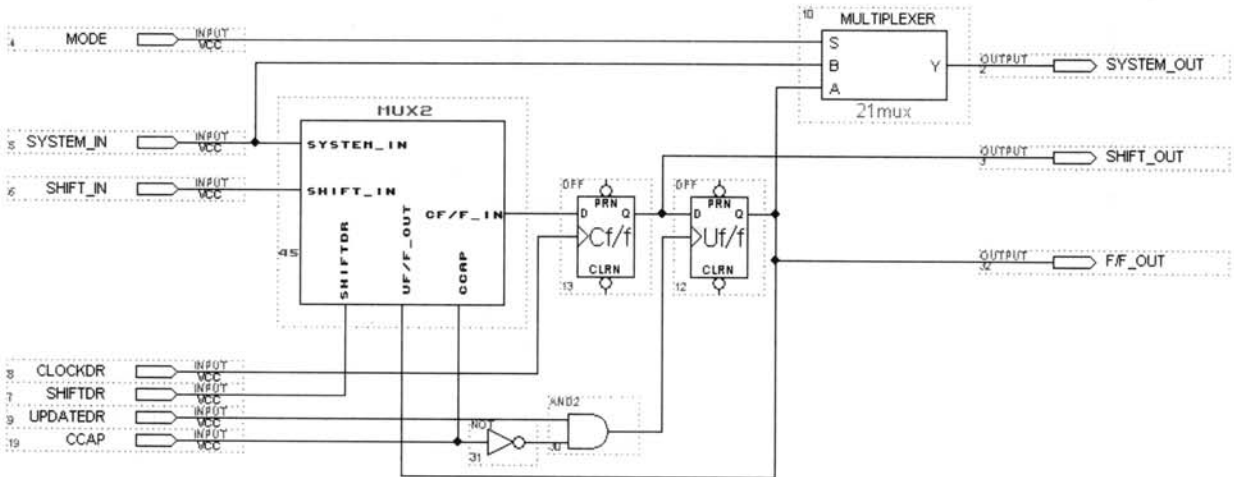
<표 1> MUX2회로의 동작표
<Table 1> Operation table of MUX2

선택신호선			출력
Uf/f_OUT	SHIFTDR	CCAP	Cf/f_IN
X	0	0	SYSTEM_IN
0	X	1	SYSTEM_IN
1	X	1	SHIFT_IN
X	1	0	SHIFT_IN

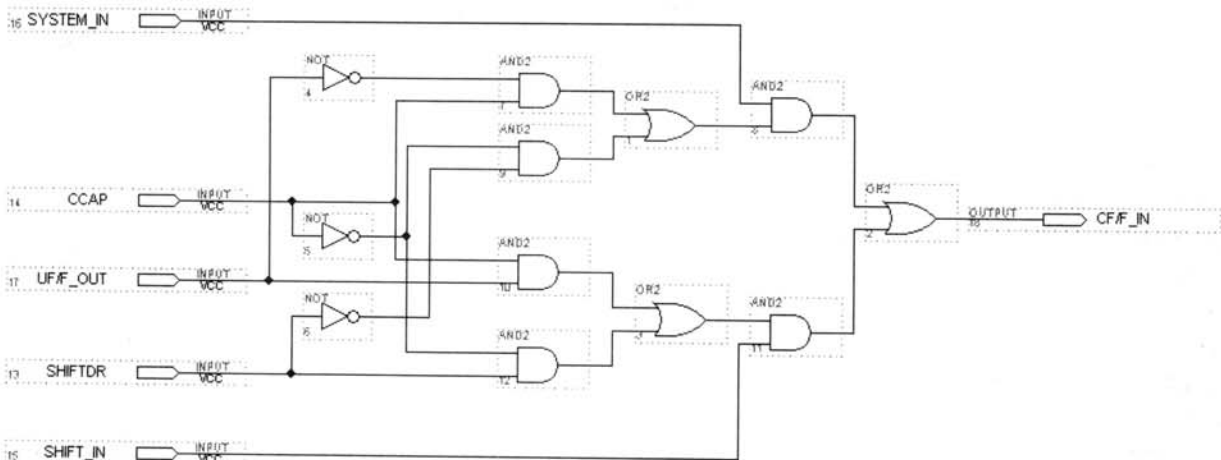
한다. 여기서 Uf/f_OUT은 Uf/f플립플롭의 현재값을 의미하며, CCAP는 명령어 CCAP가 활성화될 때 '1'의 값을 갖는다.

SHIFTDR은 앞에서 언급한 TAP제어기의 출력신호선이다. CCAP가 '0'인 경우에는 SHIFTDR신호가 '1'인 경우에 SHIFT_IN이 Cf/f에 입력되고, SHIFTDR신호가 '0'일 때 SYSTEM_IN이 Cf/f에 입력된다. 즉, CCAP가 '0'일 때 CBSR은 기존의 BSR의 동작을 수행한다. CCAP가 '1'인 경우 Uf/f에 저장된 값이 선택으로 사용되며, Uf/f가 '1'인 경우에는 SHIFT_IN이 Cf/f에 입력되므로 쉬프트경로로 CBSR이 사용된다. 반대로 CCAP가 '1'이고 Uf/f가 '0'인 경우에는 SYSTEM_IN이 Cf/f에 입력되므로 CBSR은 캡처동작을 수행하게 된다. (그림 5)는 <표 1>의 동작표로 만들어진 MUX2의 게이트회로도이다. (그림 6)은 CBSR의 간략한 동작개념도이다.

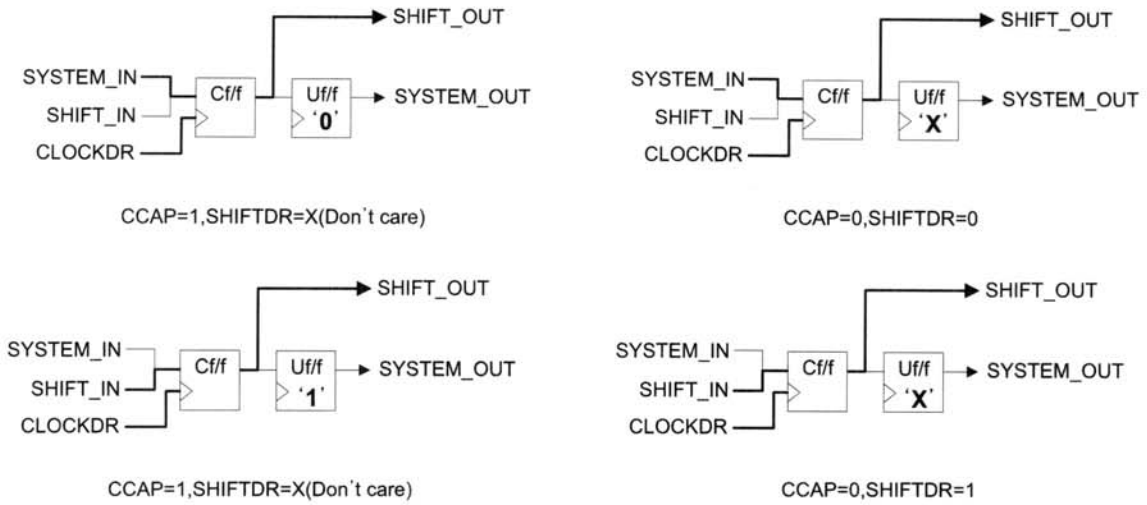
(그림 7)은 CBSR로 이루어진 스캔체인에서의 동작을 보여준다. Uf/f에 저장된 값에 의해, 지정된 CBSR의 Cf/f에 Circuit의 출력값이 캡처되는 동작과 캡처된 값이 TDO로 쉬프트 출력되는 과정을 보여준다. (a)에서 CBSR2의 Uf/f에는



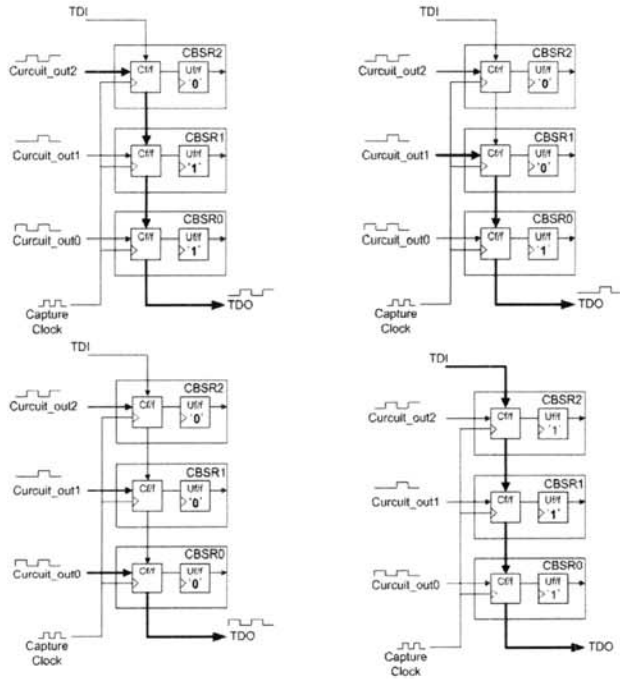
(Fig. 4) Circuit design of CBSR
(그림 4) CBSR의 회로도



(Fig. 5) Gate level design of MUX2
(그림 5) MUX2의 상세회로도



(Fig. 6) Operation of CBSR
(그림 6) CBSR의 동작



(Fig. 7) Operations of CBSR Scan Chain
(그림 7) CBSR 스캔체인의 동작

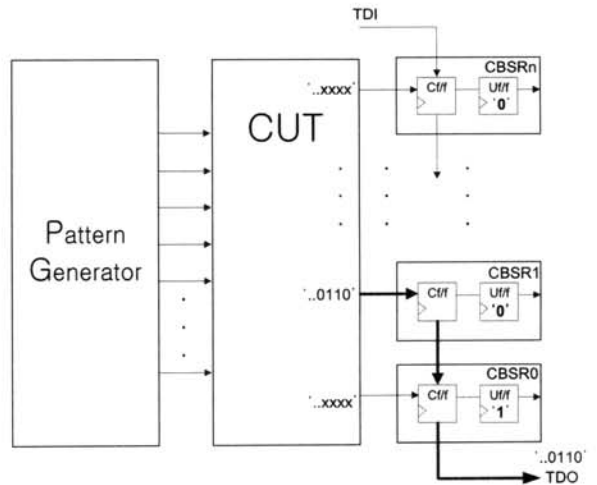
'0', CBSR1의 Uf/f에는 '1', CBSR0의 Uf/f에는 '1'이 저장된 상태에서 CCAP명령이 활성화되면, CBSR2의 Cf/f에는 Circuit_out2가 클럭에 의해 캡처가 되고 CBSR1의 Cf/f에는 CBSR2의 Cf/f의 값이, CBSR0의 Cf/f에는 CBSR1의 Cf/f의 값이 캡처되어서 최종적으로 TDO로 출력된다. 결과적으로 TDO에는 Curcuit_out2의 신호가 연속적으로 출력된다. 즉, CBSR의 Cf/f에 캡처되는 값은 동일한 CBSR의 Uf/f에 저장된 값에 의해서, '0'이면 회로의 출력값이 캡처되고, '1'이면 이전 CBSR의 Cf/f에 저장된 값이 캡처됨으로써 캡처할 신호의 지정과 캡처한 응답값의 직렬 출력경로를 지정할 수 있음을 보여준다.

4. 시험구조 및 시뮬레이션

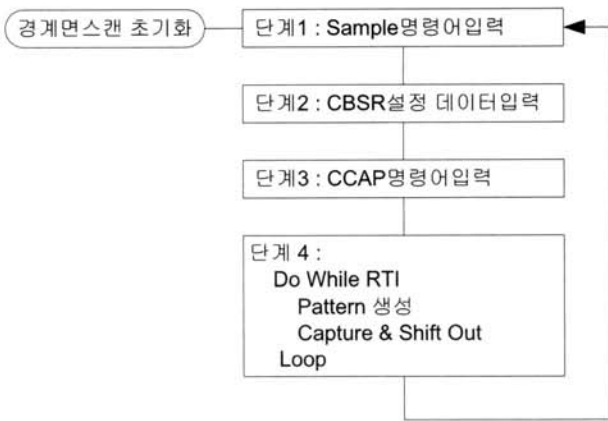
4.1 시험과정

(그림 8)은 대상회로에 대한 연속적인 시험패턴의 입력을 위한 패턴생성기와, 연속입력에 대한 대상회로의 출력을 연속출력하기 위하여 CBSR을 대상회로의 출력에 연결한 시험구조를 보여준다.

BSR을 이용하여 패턴생성기를 구현할 수도 있으나, 본 논문에서는 독립적인 패턴생성기를 사용하였다.[11,12] 패턴생성기를 동작시키기 위해서는 일반적으로 클럭입력을 갖는다. 이때 패턴생성기에 입력되는 클럭을 TCK를 이용하고, 이 신호를 이용하여 CBSR의 캡처신호로 이용하면, 2장에서 언급한 일반적인 경계면 스캔구조에서 시험패턴입력과 응답값 캡처에 최소로 필요한 시간인 $2.5 \times TCK$ 주기 이상의 시간이 필요하다. 즉, TCK의 상승에지에서 패턴생성기가 시험패턴을 대상회로에 인가하고, TCK의 하강에지에서



(Fig. 8) Test arch. using TPG and CBSR
(그림 8) 패턴생성기와 CBSR을 이용한 시험구조



(Fig. 9) Flow chart of test procedure
(그림 9) 시험절차

CBSR에서 대상회로의 응답값을 캡처하여 TDO로 쉬프트 출력하면, TCK의 1/2주기에 해당하는 지연시험 결과를 연속적인 결과로서 출력할 수 있다. 또한 TCK의 상승에지에서 패턴 생성과 캡처를 동시에 할 경우에는 TCK의 1주기에 해당하는 지연시험 결과를 연속적인 결과로서 출력할 수 있다.

(그림 9)는 CBSR과 패턴생성기를 이용한 시험구조에서의 시험과정이다. 시험 과정을 살펴보면, 먼저 경계면 스캔구조를 구성하는 모든 장치들이 초기화된다. 경계면 스캔 레지스터를 구성하는 플립플롭이 리셋되고, 명령어 레지스터의 내용이 초기값을 갖는다.

단계 1은 Sample/preload명령어 입력단계이다. 3장에서 소개한대로, 대상회로의 출력신호들중 연속으로 응답값을 캡처할 CBSR의 지정과 연속적인 응답값의 직렬출력경로의 지정은 CBSR의 Uf/f의 값으로 결정된다. 그러기 위해서는 대상회로의 동작에 영향을 끼치지 않으면서 CBSR의 Uf/f의 값을 지정하기 위해 표준에서 정한 Sample/Preload명령어를 이용한다. 이를 위해서는 TAP제어기의 상태 천이에 의해 명령어 스캔을 따라서 경계면 스캔의 명령어 레지스터의 길이 만큼 Shift_IR 상태를 거침으로써 TDI를 통해 Sample/Preload명령어가 입력된다. 이후 TAP제어기의 Update_IR상태를 지나면서 입력된 명령어가 해석되며, 이후 경계면 스캔 레지스터는 대상회로의 정상동작에 영향을 주지 않는 상태가 된다.

단계 2에서는 대상회로에 연결되어 있는 CBSR의 Uf/f에 설정데이터를 입력하는 과정이다. 이를 위해서 TAP제어기의 상태 천이에 의해 데이터 스캔을 따라서 대상회로의 장착된 CBSR의 갯수 만큼 Shift_DR 상태를 거침으로써 TDI를 통해 데이터 비트들이 입력된다. 이후 TAP제어기의 Update_DR상태를 지나면서 입력된 데이터가 CBSR의 Uf/f에 입력된다. Uf/f에 입력된 데이터 값 '1'은 CBSR의 Cf/f에 스캔경로상의 앞단에 있는 CBSR의 Cf/f출력을 쉬프트인된 데이터로 입력받으며, Uf/f에 입력된 데이터 값 '0'은 CBSR의 Cf/f에는 대상회로의 출력선의 데이터값이 입력되는 것을 의미한다.

단계 3은 CBSR에 Uf/f에 설정된 값에 의하여 연속캡처와 출력경로가 시험과정중 변하지 않도록하며, 또한 대상회로의 입력에 연결된 패턴생성기의 동작을 위한 CCAP명령어를 입

력한다. 이를 위해서는 TAP제어기의 상태 천이에 의해 명령어 스캔을 따라서 경계면 스캔의 명령어 레지스터의 길이만큼 Shift_IR 상태를 거침으로써 TDI를 통해 CCAP명령어가 입력된다. 이후 TAP제어기의 Update_IR상태를 지나면서 입력된 명령어가 해석된다. 해석된 명령어가 CCAP일 경우, CBSR은 Uf/f의 값에 의해 Cf/f에 입력되는 데이터를 지정하여 연속으로 캡처하며, 결과값들을 TDO로 직렬출력하는 경로를 유지하게 되며, 패턴생성기의 초기화가 이루어진다.

단계 4는 TMS입력을 통하여 TAP제어기를 RTI상태로 유지한다. 이 과정에서 패턴생성기는 TCK클럭을 이용하여 대상회로에 시험패턴을 연속적으로 인가하게 된다. 또한 동시에 TCK를 이용하여 CBSR의 Cf/f에 클럭신호로 활용함으로써 Uf/f의 값이 '0'인 CBSR은 대상회로의 출력값을 캡처하고, Uf/f의 값이 '1'인 CBSR은 앞단의 CBSR의 Cf/f의 값을 캡처하여 최종적으로 TDO로 직렬출력함으로써 연속적인 입력에 대한 대상회로의 연속적인 결과값을 TDO로 관찰할 수 있다. 대상회로의 다른 출력선의 응답값을 관찰하기 위하여 RTI상태를 벗어나서 단계 1의 Sample/Preload명령어를 입력하여 CBSR 설정 데이터를 입력하는 과정을 반복한다.

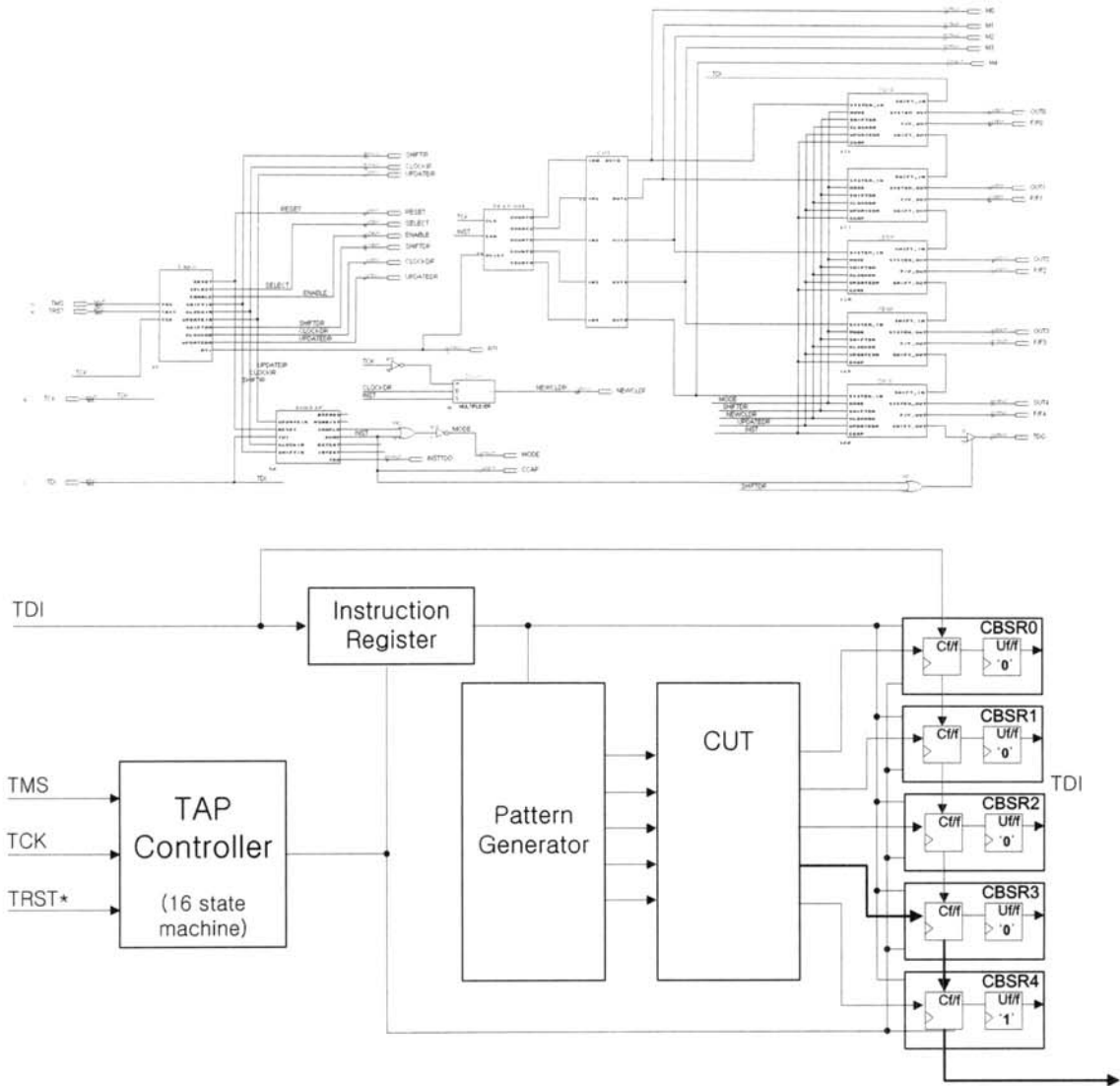
4.2 시뮬레이션

4.1절의 (그림 8)에서 소개한 패턴생성기와 CBSR을 이용한 시험구조를 시뮬레이션하기 위하여 5비트 카운터로서 패턴생성기를 설계하고, 시험대상회로는 시뮬레이션 결과관측의 용이를 위해서 입,출력만을 갖는 더미회로를 사용하였다. 시험대상회로의 연속출력을 캡처하기 위해 CBSR을 이용한 경계면 스캔 체인을 형성하였다. (그림 10)는 ALTERA MAX PLUS 10.0의 그래픽 편집기와 AHDL을 이용하여, 시뮬레이션을 위하여 설계된 시험구조의 전체회로도이다. 전체회로도 하단의 블록도는 시뮬레이션 회로도의 개념도를 나타낸다. 패턴생성기는 5개의 출력 신호선을 가지며, 초기값 0에서부터 입력 클럭의 상승 에지에서 1씩 증가하는 카운터이다. 즉, 클럭의 상승 에지에서 대상회로의 출력은 0부터 1,2,3,4,... 31으로 천이된다. 패턴생성기회로의 5개의 출력신호선은 더미회로인 CUT의 입력에 연결되어, CUT의 출력선인 M0,M1,M2,M3,M4로 각각 출력된다. M[0:4]마다 본 논문에서 설계된 경계면 스캔 레지스터인 CBSR이 장착되어 있으며, 5개의 경계면 스캔 레지스터 CBSR은 TDI입력에서 TDO출력으로 직렬 연결되어 있다. 패턴생성기의 동작을 위한 클럭입력으로 TAP제어기의 TCK로 사용하였으며, 패턴생성기는 TAP제어기가 RTI상태에서, 명령어가 CCAP일 경우에 패턴생성동작을 수행한다.

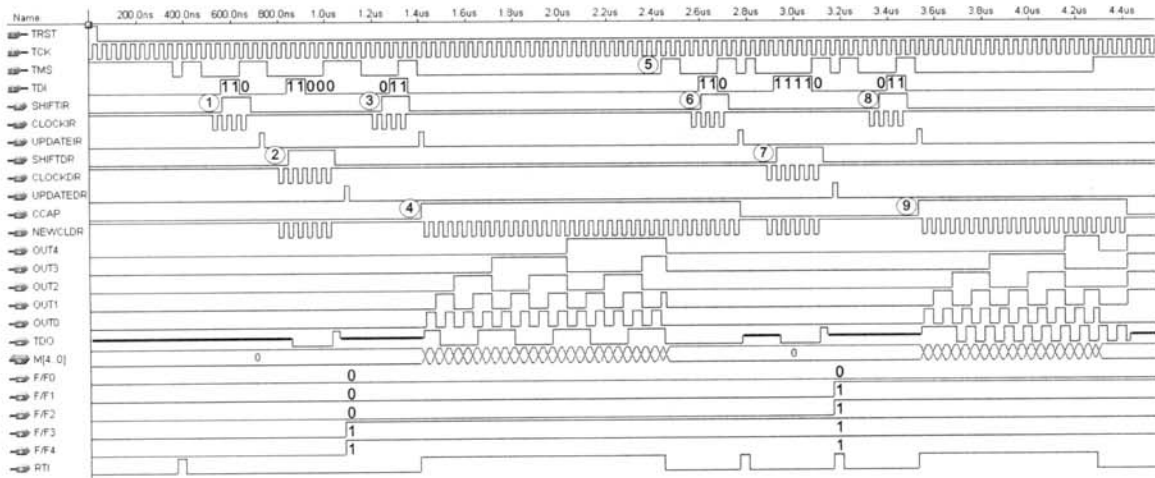
(그림 11)은 (그림 9)의 시험 절차를 따라 (그림 10)의 회로도를 Altera의 타이밍 시뮬레이터를 이용하여 시뮬레이션한 결과 파형도이다. 시뮬레이션에 사용된 TCK의 클럭주기는 40ns이다.

시뮬레이션 결과 파형도상의 주요 신호들을 설명하면 다음과 같다.

M[0:4]는 시험대상회로로 사용된 CUT의 출력신호선이며,



(Fig. 10) Design of test Arch. using TPG and CBSR
 (그림 10) 패턴생성기와 CBSR을 이용한 시험구조의 회로도



(Fig. 11) Result of Simulation
 (그림 11) 시뮬레이션 결과 파형도

CUT는 입력을 받아서 출력으로 연결시켜주는 더미회로이므로, CUT입력선에 연결된 패턴생성기에서 생성된 패턴이 출력되어 나오는 신호선을 의미한다.

OUT[0:4]는 CUT의 출력선에 각각 연결된 5개의 CBSR의 System_Out신호값을 의미하며, F/F[0:4]는 (그림 9)의 CBSR의 Uf/f값을 의미한다. 이 값에 의해 연속캡처할 출력의 지정과 응답값 전달을 위한 설정이 이루어진다. RTI는 TAP제어기의 출력신호로서 '1'인 경우 RTI상태임을 나타내며, 패턴생성기는 RTI상태에서 동작하도록 설계되었다. INST는 CCAP명령의 활성화를 나타내며, 1인 경우 활성화 상태를 나타낸다. NEWCLDR은 노말상태에서 CLOCKDR신호를 유지하다가 CCAP명령이 활성화 되고, RTI 상태에서 CBSR에 공급되는 클럭으로서 연속캡처와 응답값의 쉬프트 출력동작에 사용된다.

TDI는 시험구조의 직렬입력으로서 데이터와 명령어 입력에 사용되며, TDO는 시험구조의 직렬출력을 나타낸다. TMS는 TAP제어기의 상태천이에 사용되는 입력신호이다.

시뮬레이션 결과 파형을 설명하면 다음과 같다. 아래의 원숫자는 (그림 11)의 시뮬레이션 파형도상의 원숫자가 지시하는 시뮬레이션 시점을 나타낸다.

① Sample/Preload 명령어 입력 단계.

Sample/Preload('110')를 TDI를 통해 명령어 레지스터에 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되어 명령어 해석기에 의해 해석된다. 이 명령에 의해 다음 데이터스캔 동작에서 CBSR의 Cf/f에 적재된 값이 동일 CBSR의 Uf/f에 적재되어, 연속캡처할 CBSR의 지정과 응답값의 직렬출력경로의 지정이 이루어진다.

② CBSR 설정 데이터 입력 단계.

TAP제어기의 데이터스캔 동작을 거치면서 5개의 CBSR에, TDI를 통하여 설정 데이터 '11000'을 직렬 입력하여 CBSR의 Cf/f에 쉬프트시키고, UPDATEDR의 상승에지에서 CBSR의 Uf/f에 병렬로 입력된다. 그 결과로서 UPDATEDR의 상승에지 이후에 F/F[0:4]의 값이 '00011'로 변화됨을 알 수 있다. 설정 데이터 '11000'에 의해 연속 캡처할 CBSR은 대상회로의 출력 OUT2에 연결된 CBSR이 설정된다.

③ CCAP 명령어 입력 단계.

CCAP명령어에 해당하는 '011'를 TAP제어기의 명령어스캔 동작을 거치면서 TDI를 통해 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되며, CCAP 신호가 '1'로 천이됨을 알 수 있다. CCAP명령어가 활성화됨으로서 CBSR은 Uf/f의 값에 의해 Cf/f에 입력되는 데이터를 지정하여 연속으로 캡처하며, 결과값들을 TDO로 직렬출력하는 경로를 유지하게 되며, 패턴생성기의 초기화가 이루어진다.

④ 연속 캡처 및 응답값 직렬출력

TMS입력에 의해 TAP제어기는 RTI상태로 천이하여 테스트를 진행하는 동안 그 상태를 유지하게 된다. 이과정에서

패턴생성기는 TCK클럭을 이용하여 시험패턴을 대상회로 CUT에 연속으로 인가하며, 동시에 CBSR은 NEWCLDR신호를 이용하여 Cf/f에 연속으로 응답값을 캡처하여 최종적으로 TDO로 직렬출력한다. 파형도상에 ②단계에서 지정된 OUT2의 출력이 TDO로 출력됨을 알 수 있다. 여기서 패턴생성기는 TCK의 상승에지에서 시험패턴을 생성하여 대상회로에 인가하며, CBSR에서 응답값 캡처에 사용되는 NEWCLDR은 TCK의 하강에지에서 캡처동작이 발생되고 있다. 즉, 패턴인가와 그에대한 응답값 캡처의 시간차 1/2TCK주기가 되므로, 2장에서 언급한 표준 경계면 스캔에서의 지연시험에의 부적합한 동작을 CBSR을 이용한 시험구조에서 지연시험으로의 응용에도 사용할 수 있음을 알 수 있다.

⑤ 연속 캡처의 중단

TAP제어기가 RTI상태를 벗어나면, 연속캡처와 직렬출력이 중단됨을 파형도에서 확인할 수 있다.

⑥ Sample/Preload 명령어 입력 단계.

새롭게 연속캡처할 CBSR의 지정과 응답값의 직렬출력경로의 지정을 위하여 Sample/Preload ('110')를 TDI를 통해 명령어 레지스터에 직렬 입력한다.

⑦ CBSR 설정 데이터 입력 단계.

CBSR설정을 위하여 '11110'을 직렬 입력하여 CBSR에 쉬프트시키고, UPDATEDR의 상승에지에서 CBSR의 Uf/f에 병렬로 입력된다. 그 결과 F/F[0:4]에 '01111'로 변화됨을 알 수 있다. 설정 데이터 '11110'에 의해 연속 캡처할 CBSR은 대상회로의 출력 OUT0에 연결된 CBSR이 설정된다.

⑧ CCAP 명령어 입력 단계.

CCAP명령어에 해당하는 '011'를 TAP제어기의 명령어스캔 동작을 거치면서 TDI를 통해 직렬 입력한다.

파형도에서 UPDATEIR의 상승에지에서 활성화가 되며, CCAP 신호가 '1'로 천이됨을 알 수 있다. CCAP명령어가 활성화됨으로서 CBSR은 Uf/f의 값에 의해 Cf/f에 입력되는 데이터를 지정하여 연속으로 캡처하며, 결과값들을 TDO로 직렬출력하는 경로를 유지하게 되며, 패턴생성기의 초기화가 이루어진다.

⑨ 연속 캡처 및 응답값 직렬출력

TMS입력에 의해 TAP제어기는 RTI상태로 천이하여 테스트를 진행하는 동안 그 상태를 유지하게 된다. 이과정에서 패턴생성기는 TCK클럭을 이용하여 시험패턴을 대상회로 CUT에 연속으로 인가하며, 동시에 CBSR은 NEWCLDR신호를 이용하여 Cf/f에 연속으로 응답값을 캡처하여 최종적으로 TDO로 직렬출력한다. 파형도상에 ⑦단계에서 지정된 OUT0의 출력이 TDO로 출력됨을 알 수 있다.

(그림 11)의 시뮬레이션 파형도를 분석한 결과, 본 논문에서 제안한 패턴생성기와 CBSR을 이용한 시험구조의 동작이 시험절차를 정상적으로 수행함을 알 수 있다.

5. 결 론

본 논문에서는 패턴생성기와 CBSR을 이용한 시험구조와

시험절차를 개발하였다. 패턴생성기를 이용하여 시험대상회로에 연속적인 입력을 가능케 하였으며, 표준의 경계면 스캔 레지스터를 이용한 시험구조에서 불가능했던 대상회로의 정상적인 동작속도환경에서의 연속적인 입력에 대한 대상회로의 연속적인 결과를 캡처하여 출력하기 위하여 새로운 경계면 스캔 레지스터인 CBSR을 설계하였다. 설계된 CBSR은 표준의 경계면 스캔 레지스터와 비교하여 소규모의 하드웨어 추가를 요구하며, 일반적인 경계면 스캔 레지스터의 기능을 만족시킨다. 또한 시험명령어 CCAP를 개발하고 시험절차를 제안하였다.

제안된 패턴생성기와 CBSR을 이용한 시험구조는 대상회로의 동작을 동적으로 관찰할 수 있으며, 대상회로의 출력이 특정 주기를 가지는 경우에 있어서 기존의 경계면 스캔 구조에서보다 효율적으로 사용될 수 있을 것이다. 또한 표준 경계면 스캔 구조에서 시험패턴의 입력과 응답값캡처의 타이밍관계에서 발생할 수 있는 지연관련 오류에 있어서, 패턴생성기와 CBSR은 동일한 TCK 클럭을 이용하여 동작함으로써 지연시험에도 응용할 수 있음을 보였다. 제안된 패턴생성기와 CBSR을 이용한 시험구조는 5비트를 카운터를 이용한 패턴생성기와 대상회로 CUT로서 회로도를 작성하고, 시뮬레이션을 통하여 제안된 시험구조와 CBSR의 동작을 시험절차를 이용하여 동작의 정확성을 확인하였다.

참 고 문 헌

[1] M.Abramovici, M.A.Breuer, and A.D. Friedman, Digital System Testing and Testable Design, Computer Science Press, 1990.
 [2] IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary Scan Architecture, 1990.
 [3] C. M. Maunder and R. E. Tulloss, "The Test Access Port and Boundary Scan Architecture," IEEE Computer Society, 1990.
 [4] C. M. Maunder and R. E. Tulloss, "An Introduction to Boundary Scan Standard ANSI/IEEE std1149.1," Journal of Electronic Testing, Vol.2, No.1, pp.27-42, 1990.
 [5] C. J. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Transaction on CAD, pp.694-703, September, 1987.
 [6] 姜秉旭, 安光善 "경계면-스캔 기저 구조를 위한 지연 시험", 대한전자공학회 논문집, 31권 A편 6호, pp.199-208, 1994.
 [7] 김태형, 박성주 "지연고장 점검을 위한 효율적인 IEEE 1149.1 바운다리스캔 설계", 전자공학회논문지 38권 SD편 제10호, pp.58-64, 2000.
 [8] L. Whetsel, "Improved Boundary Scan Design," IEEE International Test Conference, pp.851-860, 1995.
 [9] R. G. Bennetts, "Design of Testable Logic Circuits," Addison- Wesley Pub., 1983.
 [10] B. R. Wilkins, "Testing Digital Circuit," Van Nostrand Reinhold Co, 1986.
 [11] S.Roy, G.Guner, and C.Kwang-Ting, "Efficient Test Mode

Selection and Insertion for RTL-BIST." in Proc. International Test Conf., pp.263-272, 2000.

[12] 박재홍, 장훈, 송오영 "IEEE 1149.1을 이용한 내장된 자체 테스트 기법의 구현", 한국통신학회논문지, 25권 12호, pp.1912-1923, 2000.



장 영 식

e-mail : jys@mail.kmcc.ac.kr

1983년 경북대학교 전자공학과(학사)
 1993년 경북대학교 컴퓨터공학과(공학석사)
 1996년 경북대학교 컴퓨터공학과(박사)
 1983년~1994년 한국전자통신연구소 선임 연구원

1994년~현 재 계명문화대학 컴퓨터학부 교수
 관심분야 : 임베디드시스템, 마이크로프로세서



이 창 희

e-mail : chlee@mail.kmcc.ac.kr

1992년 경북대학교 컴퓨터공학과(학사)
 1994년 경북대학교 컴퓨터공학과(공학석사)
 1998년 경북대학교 컴퓨터공학과(공학박사)
 1998년~현 재 계명문화대학 컴퓨터학부 교수

관심분야 : DFT, 임베디드시스템, 마이크로프로세서