

# DDR SDRAM을 위한 저전압 1.8V 광대역 50~500MHz Delay Locked Loop의 설계

구 인 재<sup>†</sup> · 정 강 민<sup>††</sup>

## 요 약

본 연구에서 고속 데이터 전송을 위해 Double Data Rate(DDR) 방식을 사용하는 SDRAM에 내장할 수 있는 저전압 광대역 Delay Locked Loop(DLL) 회로를 설계하였다. 고해상도와 빠른 Lock-on 시간을 위하여 새로운 유형의 위상검출기를 설계하였고 카운터 및 Lock Indicator 등 내장회로의 빠른 동작을 위해 Dual-Data Dual-Clock 플립플롭(DCDD FF)에 기반을 둔 설계를 수행하였으며 이 FF를 사용하므로써 소자수를 70% 정도 감소시킬 수 있었다. Delay Line 중에서 Coarse 부분은 0.2ns 이하까지 검출 가능하며 위상오차를 더욱 감소시키고 빠른 Lock-on 시간을 얻기 위해 Fine 부분에 3-step Vernier Line을 설계하였다. 이 방식을 사용한 본 DLL의 위상오차는 매우 적고 25ps 정도이다. 본 DLL의 Locking 범위는 50~500MHz로 넓으며 5 클럭 이내의 빠른 Locking을 얻을 수 있다. 0.25um CMOS 공정에서 1.8V 공급전압 사용시 소비 전류는 500MHz 주파수에서 32mA이다. 본 DLL은 고주파 통신 시스템의 동기화와 같은 다른 응용면에도 이용할 수 있다.

## Design of Low Voltage 1.8V, Wide Range 50~500MHz Delay Locked Loop for DDR SDRAM

In-Jae Koo<sup>†</sup> · Kang-Min Chung<sup>††</sup>

## ABSTRACT

This paper describes a Delay Locked Loop (DLL) with low supply voltage and wide lock range for Synchronous DRAM which employs Double Data Rate (DDR) technique for faster data transmission. To obtain high resolution and fast lock-on time, a new type of phase detector is designed. The new counter and lock indicator structure are suggested based on the Dual-clock dual-data Flip Flop (DCDD FF). The DCDD FF reduces the size of counter and lock indicator by about 70%. The delay line is composed of coarse and fine units. By the use of fast phase detector, the coarse delay line can detect minute phase difference of 0.2nsec and below. Aided further by the new type of 3-step vernier fine delay line, this DLL circuit achieves unprecedented timing resolution of 25psec. This DLL spans wide locking range from 50MHz to 500MHz and generates high-speed clocks with fast lock-on time of less than 5 clocks. When designed using 0.25um CMOS technology with 1.8V supply voltage, the circuit consumes 32mA at 500MHz locked condition. This circuit can be also used for other applications as well, such as synchronization of high frequency communication systems.

키워드 : DLL, 클럭동기회로

## 1. 서 론

초고속 멀티미디어 시대로 접어들면서 초고속 동기회로의 중요성은 한층 더 커지고 있다. IMT2000등과 같이 RF 대역에서 동작하는 무선통신의 경우는 위상잡음(Phase-noise)의 주기가 점점 짧아짐에 따라 칩과 보드 상에서 데이터의 불확실 영역(Uncertainty window)을 감소시키는 기법이 필요하다. 이러한 동기식 데이터 전송 시스템에서는 동기클럭의 지터가 그대로 데이터의 불확실 영역으로 전환되므로

적은 지터와 빠른 락킹(Locking)이 가능한 내부 클럭회로가 필수적인 회로 소자로 자리잡아가고 있다[1, 8]. 특히 안정된 시스템 클럭이 제공되는 시스템에서는 클럭을 복원할 필요가 없으므로 PLL 대신 Delay Locked Loop(DLL)을 사용한다. DLL은 PLL에 포함되는 전압과 온도변화에 민감한 Voltage Controlled Oscillator(VCO) 대신 수동적인 역할을 하는 가변지연 단(Variable-delay stage)을 채택하므로 더 양호한 지터특성을 보인다. VCO가 사용되는 경우는 공급전압 잡음이나 온도변화에 의해 변화된 출력 주파수 때문에 위상지터가 누적되어 나타나므로 넓은 대역폭의 동기식 데이터 전송 시스템에서는 주파수 합성기를 필요로 하지만, DLL의 가변지연 단은 수동적인 지연동작만 하므로 데이터의 위상지터의 누적현상은 보이지 않는다. 또한 Lock-on

※ 본 연구는 반도체체계교육센터(IDEC)의 장비 및 S/W 지원에 의하여 수행되었음.

† 정 회 원 : 하이닉스 반도체 System-IC SoC팀

†† 정 회 원 : 성균관대학교 전기전자컴퓨터공학부 교수

논문접수 : 2002년 10월 21일, 심사완료 : 2003년 6월 12일

시간도 일반적으로 DLL이 PLL보다 더 빠른 편이다[17].

본 논문에서는 지터 발생을 현저히 줄이고 50~500MHz의 광범위한 Lock-on 범위를 가지는 새로운 구조의 저전압 DLL에 대해서 설명하였다. 이 DLL은 완전 디지털 회로로 구성되며, 이의 기본블록으로서 고속 클럭과 0.2nsec 이하의 미세한 위상차를 갖는 클럭을 검출할 수 있는 위상검출기 및 소자수를 현저하게 감소시키고 소비전력, Lock-on 시간 또한 감소시킨 카운터와 Lock Indicator를 설계하였다. Delay Line은 빠른 Lock-on 시간을 얻을 수 있도록 설계한 Coarse 부분과 높은 해상도를 갖도록 설계한 새로운 Vernier Delay Line 구조를 사용한 Fine 부분으로 구성하였다.

## 2. 저전압, 광대역 Delay Locked Loop

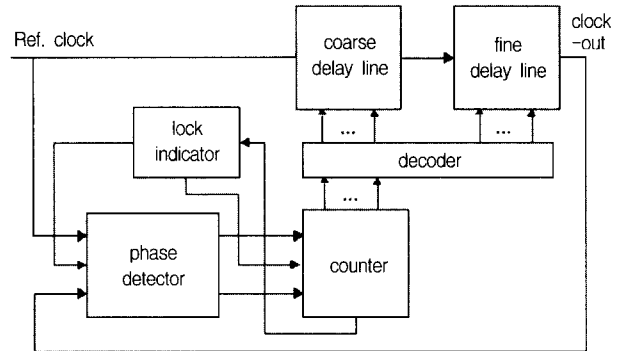
본 논문에서 설계한 저전압, 광대역 DLL 구조는(그림 1)에 제시되어 있다.

일반적인 DLL은 입력되는 데이터와 Voltage Controlled Delay Line(VCDL)의 출력 클럭의 위상을 비교할 수 있는 위상검출기와 UP/DN신호에 맞춰서 VCDL의 전달지연을 제어할 수 있는 제어회로로 구성되어 있다. 그러나 기존의 방식은 VCDL의 전달지연을 적절히 조절하기 위해서 대부분 인버터 체인방식을 사용하고 있으며 이 경우 전달 지연 소자의 수가 상당히 증가하게 되며, 지연소자가 각각의 스위칭 동작을 하면서 상당한 전력 소모를 가져오게 된다.

본 논문에서는 전력소비가 적고 Locking 범위가 넓은 새로운 구조의 DLL을 설계하였다. (그림 1)에 새로운 DLL 구조를 나타내었다. 이 구조는 저전력이면서 높은 해상도로 고속동작을 할 수 있는 구조이다. 위상검출기는 미세한 위상차이를 검출해 낼 수 있기 때문에 다음 단 카운터의 동작을 안정적으로 도와준다. 즉, DLL에 있어서 위상검출기의 정확도와 안정도가 중요한 위치를 차지하고 있음을 알 수 있다. 카운터는 아날로그 DLL에 있어서 루프필터의 역할을 한다. 즉, 디지털 DLL에서는 카운터가 Delay Line을 조절하는 용도로 사용된다. 본 논문에서는 그 기능을 3-Bit 단위로 구성한 UP/DN 카운터를 사용하였다. Delay Line으로서 Coarse와 Fine Delay Line을 구성하였으며 Fine Delay Line에서 고해상도를 구현하기 위해 경로차를 이용한 Vernier Delay Line을 새롭게 변형하였다. 기존의 2-Step을 늘려 3-Step 방식으로 설계하여 해상도를 기존의 경우보다 두 배 높였다. 또한, Lock Indicator가 Locking 이후에 발생될 수 있는 에러를 제거하기 위해 사용되었다. 이 회로는 DLL이 Lock 모드로 들어갔을 때 카운터의 동작을 멈추게 하여 Locking 이후 발생할 수 있는 에러로부터 회로를 보호하는 역할을 한다.

제안된 DLL은 최대한 지연시간을 줄이도록 설계되었으며, Coarse Delay Line에서 2 클럭 내에 Coarse Delay를

형성하고 Fine Delay Line에서 1 클럭~3 클럭이 더 소요된다. 본 회로에서는 매우 빠른 Lock-on 시간이 가능하며 500MHz에서 5 클럭 내에 Lock-on이 이루어진다. 기존 회로에서 Lock-on 시간이 길었던 단점을 보완, 광대역에 걸쳐 거의 일정한 Lock-on 시간을 갖게 하였고, 위상검출기와 Delay Line을 개선하여 위상오차를 클럭 주기의 1% 이내로 감소시켰다.

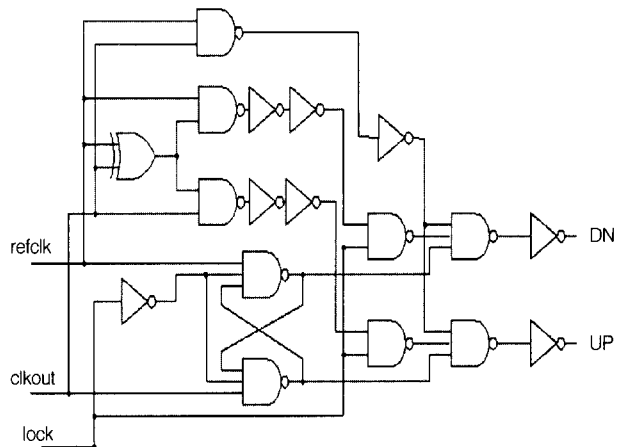


(그림 1) 제안된 저전력, 광대역 DLL

### 2.1 위상검출기

위상검출기는 외부에서 입력되는 클럭 신호와 내부 각 회로들에서 사용되는 클럭 신호 사이의 위상차이를 검출하는 회로이다. 디지털 회로에서는 두 위상간의 일치여부만 검출하면 된다. 일반적인 위상검출기를 사용하였을 때, 고속의 동작시 0.2nsec 이하의 미세한 클럭 위상차를 검출할 수 없다. 두 클럭의 위상차가 작을 경우는 감도가 뛰어나지만, 위상차가 커지면, 다시 말해, 겹치는 부분이 작아지면 UP 또는 DN으로 발생하는 신호의 펄스폭이 줄어들어, 뒷 단의 카운터의 동작을 불가능하게 할 수 있다.

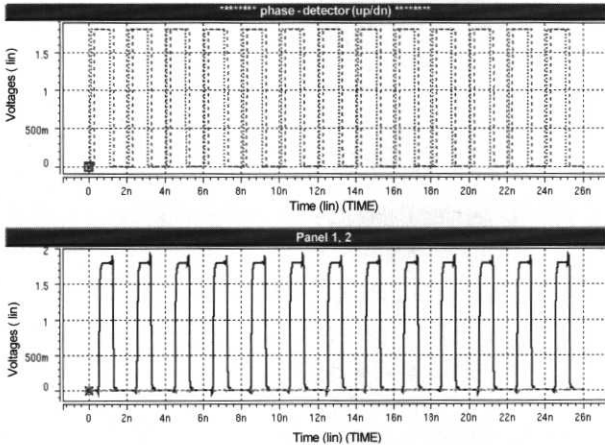
따라서, 보다 정밀한 위상차를 검출해내기 위해서 본 논문에서는 새로운 구조의 위상검출기(그림 2)를 제안하였다. 이 위상검출기는 기존의 NAND형 래치를 이용한 위상검출기



(그림 2) 제안된 위상검출기

출기의 변형이며 XOR 경로를 삽입하고 버퍼하므로서 적은 폭의 UP, DN 신호도 뒷 단의 카운터에 정확히 전달되도록 한 구조이다.

이 회로는 50~500MHz까지 안정된 동작을 보여준다. (그림 3)은 500MHz 동작시의 위상검출기 출력파형(DN 신호)을 보여주고 있다. 글리치 없이 안정되게 파형을 출력시킴을 볼 수 있다.

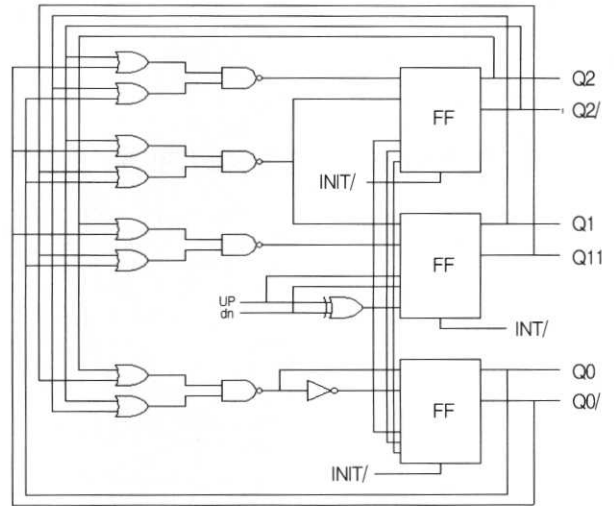


(그림 3) 내부클럭이 외부클럭보다 0.2nsec 앞선 경우(@500MHz)

### 2.2 카운터

카운터는 아날로그 DLL에 있어서 루프필터의 역할을 한다. 즉, 디지털 DLL에서는 카운터가 Delay Line을 조절하는 용도로 사용된다. 본 논문에서는 그 기능을 3-Bit 단위로 구성한 UP/DN 카운터를 사용하였다[2, 4, 11]. (그림 4)에 본 논문에서 사용된 3-Bit UP/DN 카운터를 나타냈다. FF으로부터의 출력은 귀환루프를 통해 OR-NAND 게이트를 거쳐 UP\_D 신호로 재입력된다. 여기에서 사용되는 Clock 제어신호는 UP/DN 및 UPXORDN 신호이다.

본 DLL에서 사용되는 카운터 및 Lock Indicator는 Dual-Clock Dual-Data 입력에 의해 작동되는 새로운 유형의 플립플롭(DCDD-FF)을 기초로 설계하였다. DLL이나 PLL에 있어서 일반적으로 UP/DN 카운터는 두 개의 카운터를 별도

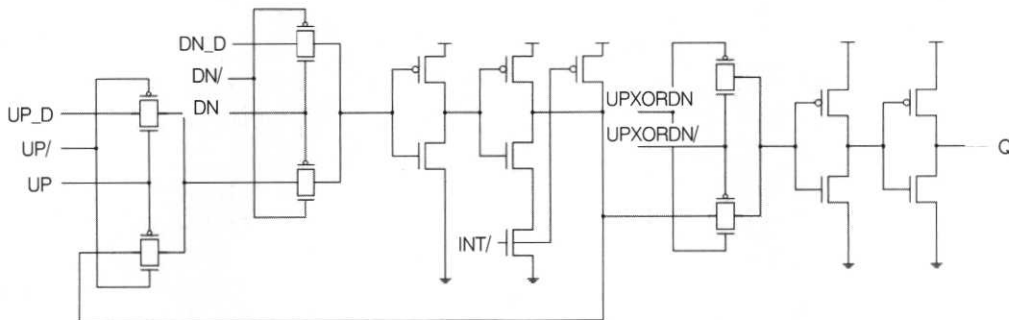


(그림 4) 제안된 고속 3-Bit UP/DN 카운터

로 이용하여, 뺄셈을 하여 이루어지게 된다. 그 이유는 UP 동작을 하는 클럭과 DN 동작을 하는 클럭이 따로 입력되기 때문이다. 본 논문에서는 한 개의 FF으로 그 두 가지 동작을 할 수 있도록 회로를 설계하였다. 이 FF을 사용함으로써 카운터에 쓰이던 소자수를 70% 정도 줄여 전체 전력소비를 감소시켰다.

DCDD-FF은 두 개의 클럭과 두 개의 데이터가 동시에 입력되어 동작하기 때문에 고속동작에 매우 적합한 회로이다. (그림 5)에 이 회로를 보였다. 이 회로는 기본적으로 Negative Edge-Triggered 형태로 동작한다. 이 방식은 UP 신호와 DN 신호가 동시에 HIGH 상태가 되지 않기 때문에 동작이 가능하다. 먼저 UP Counting의 경우 UP이 HIGH가 되면 UP\_D 신호가 입력이 된다. 이 때에 뒤의 Slave 단이 끊어지게 되어 Q의 값은 변하지 않는다. UP 신호가 LOW로 떨어지게 되면 Master 단에 입력되었던 UP\_D 신호가 Q로 출력된다.

3-Bit 카운터는 이러한 DCDD-FF을 세 개 조합하여 구성하였다. 각 DCDD-FF에서 출력된 Q0~Q2, Q0/~Q2/ 신호는 귀환루프를 통해 OR-NAND 게이트를 거쳐 UP\_D 신호로 재입력된다. 여기서 사용되는 클럭 제어신호는 UP/DN,



(그림 5) Dual-Clock Dual-Data Flip-Flop

UPXORDN신호이다. DCDD-FF을 사용하였기 때문에 기존의 카운터의 방식보다 고속동작이 용이해졌다. (그림 6)에 카운터의 동작을 보였다.

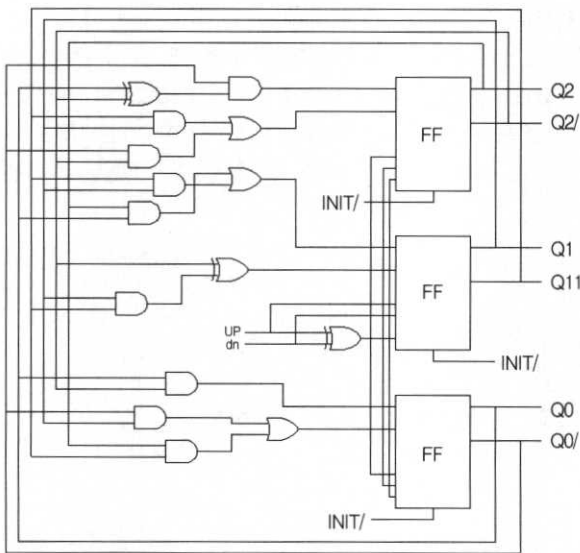


(그림 6) 연속적인 UP 신호 입력시 카운터의 출력파형

그림에서 보듯이, Q0~Q2는 Gray Code를 사용하여 디코딩시 글리치를 제거하였다. 카운터에서 출력된 Q0~Q2 신호는 다음 단의 디코더를 통해 Delay Line을 제어하는데 사용된다.

2.3 Lock Indicator

소비되는 전력을 줄이고 지터를 최소화시키기 위해 본 논문에서 Lock Indicator (그림 7)를 사용하였다. 이 회로는 기본적으로 3-Bit 카운터의 구조이다. Lock시 저전력 동작을 위해 천이동작을 최소화시키기 위해 카운터에서와 마찬가지로 Gray Code를 사용하였다.



(그림 7) 제안된 Lock Indicator

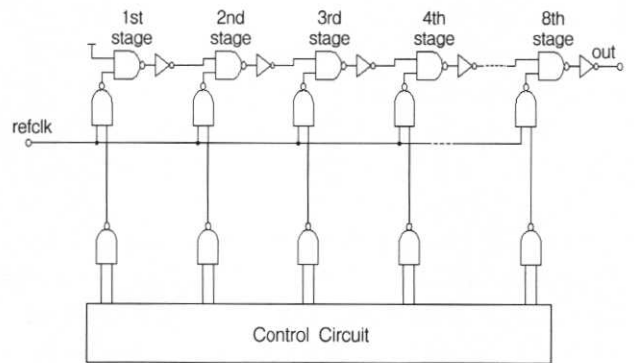
Lock Indicator는 위상차가 최소화(25psec)되었을 때 이를 인식하여 DLL을 Lock 모드로 들어가게 만들어준다. Lock 상태가 되면 UP과 DN 신호가 번갈아서 입력되며, 이는 입력 클럭과 시스템에 사용되는 클럭의 위상차가 거의 같게 될 때이다. 따라서 이러한 상태가 되면 Lock 신호를 발생하게된다. 일단, Lock 모드로 들어가게 되면, 카운터와 위상검출기는 Disable 된다. Lock Indicator를 사용한 DLL은 Locking 이후, 위상오차가 오차한계치 보다 더 커질 때까지 동적 전력소비가 없다는 것이 장점이다. 또한, 이 회로 역시 DCDD-FF을 사용해 소자수를 70% 정도 감소시키는 결과를 얻었다.

2.4 Delay Line

본 논문에서는 단위지연소자를 연결한 Coarse Delay 블록과 기존의 Vernier Delay Line을 개선한 Fine Delay 블록으로 Delay Line을 구성하였다. Coarse Delay Line에서 2~3 클럭 동안에 Coarse Delay를 조절하고 Lock-in 시간과 Lock-on시 위상오차를 줄이기 위해 해상도가 높은 Vernier Delay Line의 경로차를 이용하였다.

2.4.1 Coarse Delay Line

고속 클럭에서 Lock-on 시간을 줄이기 위해 사용되는 Coarse Delay Line은 단위지연소자들로만 구성된다. 본 연구에서는 NAND+INVERTER를 이용하여 Coarse Delay Line(그림 8)을 구성하였다. 여기서, 제어회로는 카운터와 디코더로 구성하였다.



(그림 8) Coarse Delay Line

이 회로는 최대 입력 클럭의 한 주기를 커버하고 클럭 주기를 8개로 나누어 45°씩 8개 위상이 출력 가능하다. 이 시스템에서 사용 가능한 최대 입력 클럭 주파수는 다음과 같다.

$$f_{max} = \frac{1}{\Delta_{tot}} \tag{1}$$

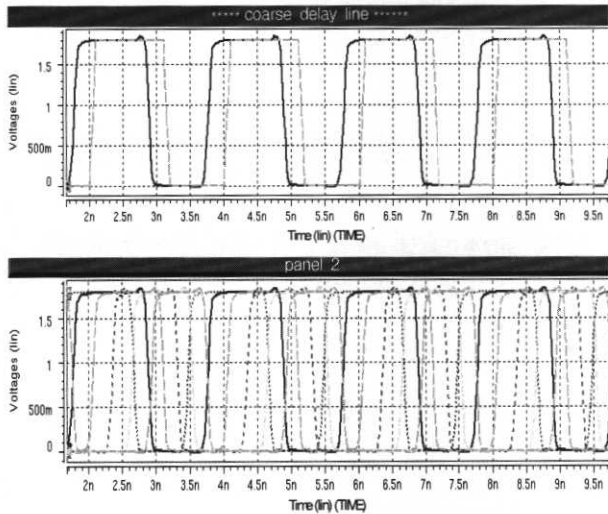
$$\Delta_{tot} = 8 \cdot t_d \tag{2}$$

ta는 단위지연시간이고 이 값이 0.25ns인 경우 DLL은 500MHz까지 사용 가능하다.

일반적으로 Coarse Delay Line의 지연은 쉬프트레지스터를 사용하여 조절하지만 본 논문에서는 지연을 조절하기 위해서 디코더 방식을 사용하였다.

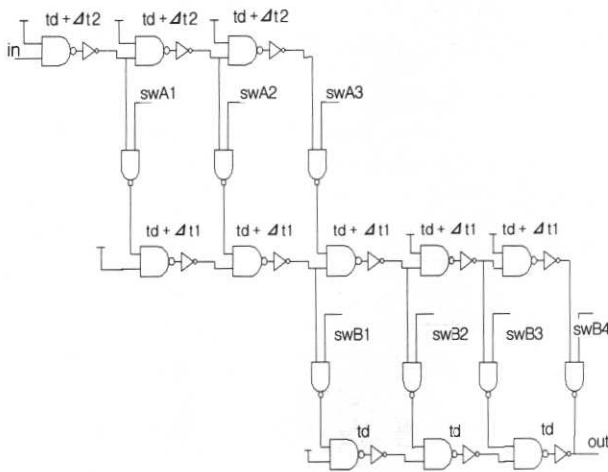
Coarse Step으로 8 단계로 조절한 후, 뒤의 절에서 설명할 Fine Delay Line에서 보다 정밀하게 조절하게 된다. Coarse Delay Line에서는 입력되는 클럭의 주기를 지연소자의 수로 나눈 시간만큼만 입력되는 신호를 지연시킨다. 즉, 앞에서 언급한 최대 입력 클럭 주파수의 값을 갖도록 한다. 이는 주파수가 500MHz일 경우  $2\text{nsec}/8 = 0.25\text{nsec}$  정도의 지연에 해당된다. 기본회로는 전체가 0.25nsec의 지연을 만들어 내도록 8개의 NAND+Inverter로 구성되어 있다.

(그림 9)에 Coarse 회로 내 각 지연 단의 출력파형을 보였다. SPICE 시뮬레이션을 통하여 단위지연소자의 지연시간이 0.25nsec가 되도록 조정하였다.



(그림 9) Coarse Delay Line의 출력파형

### 2.4.2 Fine Delay Line



(그림 10) 제안된 3-Step Vernier Delay Line

Vernier 방식을 이용하여 단 간 지연을 1/2로 줄인 방식을 (그림 10)에 나타내었다. 이 방식은 지연시간이 서로 다른 Delay Chain을 전부 세 개로 하는 방식이다. Delay Chain을 두 개로 한 기존의 방식보다 더 높은 해상도를 구현할 수 있다. 단위지연소자는 각각 지연시간  $t_d$ ,  $t_d + \Delta t_1$ ,  $t_d + \Delta t_2$ 를 갖도록 구성되고 가장 상위의 단위소자가 가장 긴 지연시간을 가진다. 스위치는 SWA1~SWA3, SWB1~SWB4로 구성되어 있고 디코더 방식으로 제어된다.

이 구조에서 주어진 경로의 위상오차는 식 (3)과 같이 일반적으로 표현할 수 있다.

$$\theta = N \cdot t_d + ((N_T - N_M) - N) \cdot (t_d + \Delta t_1) + N_M \cdot (t_d + \Delta t_2) \quad (3)$$

여기에서  $N_T$ : 지연 경로상의 전체 지연소자 개수

$N_M$ : 지연 경로상의  $t_d + \Delta t_2$  지연소자 개수

$N$ : 지연 경로상의  $t_d$  지연소자 개수

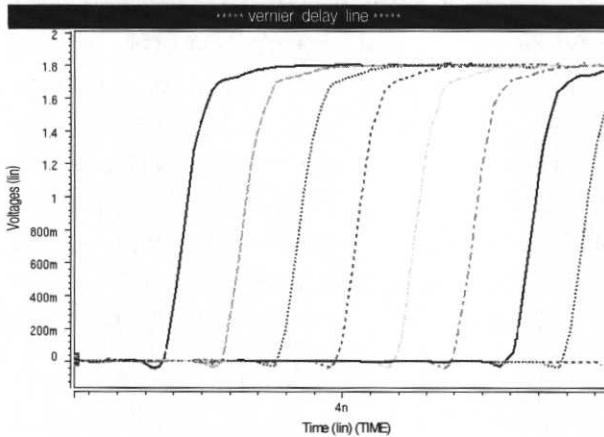
를 나타낸다. 곧 설명되겠지만 해상도는 직접적으로 둘째 단의  $\Delta t_1$ 에 의존하므로  $\Delta t_1$ 은 가장 적은 합리적인 값을 선택해야 한다. 셋째 단의  $\Delta t_2$ 는 Fine 단의 속도를 결정하며 빠른 Locking을 위하여 Coarse 단의 단간 지연값의 절반에 위치하여 대칭적으로 외부 클럭에 동기화 되도록  $\Delta t_2 = 0.5 t_d$ 로 선택하였다. 이는 또한 해상도를 절반으로 감소시킨다. 이 3-Step Vernier Line의 해상도를  $\theta_{step}$ 으로 정의하면 인접 Delay Step간 위상오차는 다음과 같다.

$$2\theta_{step} = [(N-1) \cdot t_d + ((N_T - N_M) - (N-1)) \cdot (t_d + \Delta t_1) + N_M \cdot (t_d + \Delta t_2)] - [N \cdot t_d + ((N_T - N_M) - N) \cdot (t_d + \Delta t_1) + N_M \cdot (t_d + \Delta t_2)] = \Delta t_1 \quad (4)$$

따라서 해상도  $\theta_{step} = \Delta t_1 / 2$ 으로 주어진다. 20ps 해상도를 얻기 위해 트랜지스터들의 크기를 조절하여  $\Delta t_1 = 0.2 t_d$ 로 결정하였다.

예를 들어 SWA1과 SWB2가 ON이 되었을 경우, 입력에서 출력까지  $7.1 t_d$ 의 지연을 갖게 된다. 다시, SWA2와 SWB1이 ON이 되었을 경우, 입력에서 출력까지  $7.0 t_d$ 의 지연을 갖게 된다. 경로차를 이용하므로 두 값을 빼주면  $0.1 t_d$ 를 얻는다. 즉, 각 단마다  $0.1 t_d$ 의 Delay Step을 만든다. 그러므로, 이 회로는 단위지연  $t_d$ 가 0.2ns인 경우 20ps의 고해상도를 가지게 된다.

제안된 Delay Line은 전단의 Coarse Delay Line의 출력과 단위지연시간만큼 지연된 그 다음 출력 사이를 해상도 (Resolution)만큼 쉬프트시켜서 내부 클럭을 출력시킨다. 본 논문에서는 4.5°씩 9개의 위상으로 나누어진 출력이 발생된다. 제안된 Vernier Delay Line의 출력 파형(그림 11)에 나타내었다. 제안된 Delay Line은 고해상도에 비해서 전체 지연소자의 수효가 적어 면적 및 전력소모가 적은 장점을 가지고 있다.

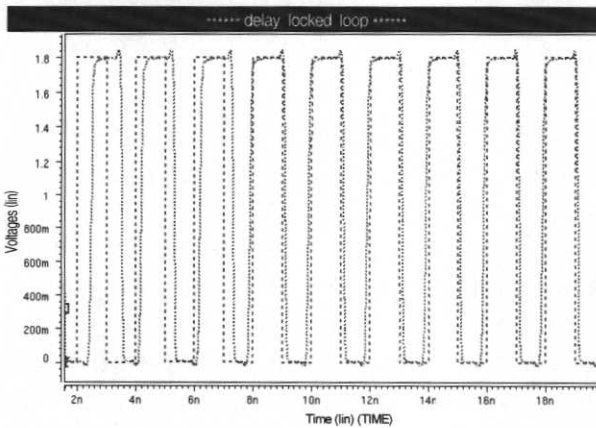


(그림 11) Fine Delay Step 시뮬레이션

3. 실험 결과

3.1 시뮬레이션 결과의 개요

본 논문에 사용된 DLL은 50MHz~500MHz 주파수 대역에서 안정된 결과를 얻을 수 있었다. Locking은 5 클럭 내에 이루어졌다. 또한, 고해상도 Vernier Delay Line을 사용해 위상오차를 1% 범위까지 감소시킬 수 있었고 Lock Indicator를 사용해 지터 발생을 억제하였다. 카운터, Lock Indicator 등의 소자수효를 70% 정도 줄이므로써 전력소비가 감소되었다. 500MHz Lock시에 소비전류는 32mA이다. 500MHz시의 시뮬레이션 결과를 (그림 12)에 표시하였다.



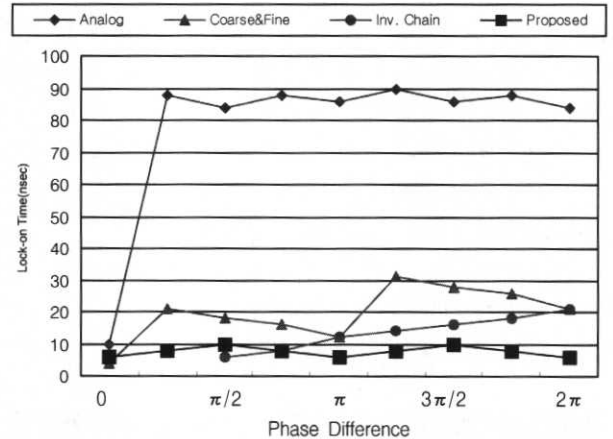
(그림 12) 500MHz시 DLL의 결과 파형

3.2 Lock-on 시간과 위상오차

제안된 DLL의 위상차에 따른 Lock-on 시간을 (그림 13)에 나타내었다. 아날로그 방식과 Delay Line을 Inverter Chain으로 했을 때의 방식, 그리고 기존의 Coarse & Fine 구조를 가진 방식과 비교하여 나타내었다.

아날로그 방식은 Lock-on 시간이 긴 반면에 해상도는 20ps 이하로 매우 높다. Inverter Chain 방식은 위상차가 커질수록 Lock-on 시간이 선형적으로 증가한다. 단위지연만큼의

위상오차가 생기므로 해상도가 낮다. Coarse & Fine 방식은 위상차에 따라 비교적 일정한 Lock-on 시간을 보인다. 하지만, 위상차가 커지면 Lock-on 시간이 4 클럭 정도 증가하는 단점이 있다.

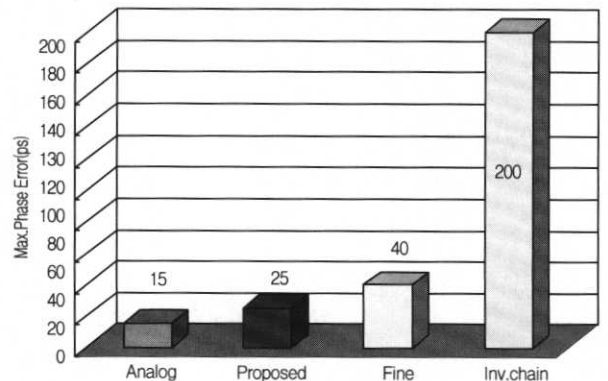


(그림 13) 위상차에 따른 Lock-on 시간 비교

제안된 DLL은 Lock Indicator, 3-Step Vernier Line을 사용, 위상차에 상관없이 거의 일정한 결과를 얻었다. Lock-on 시간은 6ns~10ns이다. 5 클럭에서 Locking이 이루어진다. Lock-on 시간을 줄여 전력소비를 줄일 수 있었다. 위의 네 가지 방식을 <표 1>에 요약하였다.

<표 1> DLL 방식에 따른 Lock-on 시간과 해상도 비교

방식	구조	Lock-on 시간	해상도
Analog 방식	Stepping 구조	루프필터등의 적분으로 인해 길어짐	해상도가 20ps 이하로 매우 높음
Inverter chain 방식	Delay Unit을 Tap으로 연결한 구조	위상차가 커질수록 선형적으로 증가	해상도가 낮아 고속 회로에는 부적합
Coarse & Fine 방식	Coarse & Fine Delay Line 구조	비교적 일정한 위상차가 커지면 4Clock 정도 증가	해상도는 40ps 정도로 기본적인 수준임
제안된 DLL	Lock Indicator, 3-Step Vernier Line	위상차에 상관없이 거의 일정한	25ps 이하로 고속회로에 적합



(그림 14) 최대 위상오차 비교

(그림 14)에 각각의 경우 최대위상오차를 비교하여 나타내었다.

### 3.3 성능요약과 비교

제안된 DDR SDRAM용 Delay Locked Loop은 0.25um CMOS 공정을 사용하여 설계하였고 공급전압 1.8V, 50~500MHz에서 안정된 동작을 보인다. 위상오차는 25psec이하로 나타났고 평균 소비전류는 500MHz에서 32mA를 얻었다. Locking은 50 및 500MHz에서 공히 5 클럭 이내에 완료되었다. 기존의 다른 디지털 DLL과 제안된 DLL의 성능 비교 분석표를 <표 2>에 나타내었다. 1.8V 공급전압에서 다른 비교한 DLL에 비해 전력소모가 미세한 차이를 보이는 반면, 최대 위상오차는 제안된 DLL이 25psec 이하로 해상도 측면에서 가장 좋은 특성을 보인다.

<표 2> 성능 비교 분석

	Locking 범위	최대 위상오차	소비 전류	공정 기술	공급 전압
(참고문헌[18])	62.5MHz ~250MHz	< 40psec	25mA (@250MHz)	0.35um CMOS	3.3V
(참고문헌[9])	10MHz ~320MHz	< 390psec	14mA (@320MHz)	0.35um CMOS	3.3V
(참고문헌[8])	34MHz ~400MHz	< 45psec	25mA (@400MHz)	0.16um CMOS	2.3V
본 연구	50MHz ~500MHz	< 25psec	32mA (@500MHz)	0.25um CMOS	1.8V

## 4. 결 론

본 연구에서는 DDR(Double-Data Rate)구조를 가지는 SDRAM에 적합한 저전압, 광대역 Digital DLL을 설계하였다. DDR SDRAM은 동작주파수 범위가 매우 넓기 때문에 본 논문에서 제안한 DLL은 넓은 주파수 대역에서 동작하도록 설계에 초점을 맞추었다. 실험결과, 50~500MHz에서 안정되게 Locking이 되는 것을 알 수 있었다. 제안된 DLL은 위상차가 커져도 Lock-on 시간을 비교적 일정하게 유지하면서 50~500MHz 외부 클럭 입력시 5 클럭 내에 Locking이 되도록 설계하였다. 0.2ns 이하의 미세한 위상차를 검출하는 위상검출기를 설계하였고, 빠른 카운터의 동작을 돕기 위해 새로운 유형의 FF(DDDC FF)을 설계하였고 이로서 소자수 또한 70% 가량 감소시킬 수 있었다. DCDD FF은 Lock Indicator에도 사용되었다. Lock 모드로 들어갔을 때 위상검출기, 카운터 등의 회로를 Disable시켜 지터 발생을 억제시킨 Lock Indicator와 새로운 3-Step Vernier Delay Line을 이용하여 해상도를 높이고, 위상오차를 최대로 줄일 수 있었다. 500MHz에서 최대위상오차는 25ps이며, 소비전류는 32mA이었다. 기존의 DLL 회로보다 위상오차를 10ps 이상 줄여 고해상도를 구현할 수 있었다. 이 회로는 DDR

SDRAM에 사용시 1Gbit/s의 데이터 처리능력을 갖는다.

## 참 고 문 헌

- [1] David J. Foley et al., "CMOS DLL-Based 2-V 3.2-ps Jitter 1GHz Clock Synthesizer and Temperature-Compensated Tunable Oscillator," IEEE Journal of Solid-State Circuits, Vol.36, Mar., 2001.
- [2] Kuge, S. et al., "A 0.18-/spl mu/m 256-mb DDR-SRAM with low-cost post-mold tuning method for DLL replica," IEEE Journal of Solid-State Circuits, Vol.35, Nov., 2000.
- [3] Jae Joon Kim et al., "A low-jitter mixed-mode DLL for high-speed DRAM applications," IEEE Journal of Solid-State Circuits, Vol.35, Oct., 2000.
- [4] Sung-Sik Hwang, "Dual-loop DLL-based clock synchronizer," Electronics Letters, Vol.36, July, 2000.
- [5] Guang-Kaai Dehng et al., "Clock-deskew buffer using a SAR-controlled delay-locked loop," IEEE Journal of Solid-State Circuits, Vol.35, Aug., 2000.
- [6] Yongsam Moon et al., "An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter performance," IEEE Journal of Solid-State Circuits, Vol.35, Mar., 2000.
- [7] Dudek P. et al., "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line," IEEE Journal of Solid-State Circuits, Vol.35, Feb., 2000.
- [8] Se-Jun Kim, "A 34MHz~400MHz Skew Calibrated DLL with Programmable Replica Delay and Dual Loop Architecture," The 8th Korean Conference on Semiconductors, pp.479-480, Feb., 2000.
- [9] Sung-Sik Hwang, "A DLL based 10~320MHz clock synchronizer," The 2000 IEEE International Symposium on ISCAS 2000 Geneva Proceedings Circuits and Systems, Vol.5, 2000.
- [10] Foley D. J. et al., "A 3.3V, 1.6GHz, low-jitter, self-correcting DLL based clock synthesizer in 0.5/spl mu/m CMOS," The 2000 IEEE International Symposium on ISCAS 2000 Geneva Proceedings Circuits and Systems, Vol.2, 2000.
- [11] Hamamoto T. et al., "A skew and jitter suppressed DLL architecture for high frequency DDR SDRAMs," Symposium on Digest of Technical Papers VLSI Circuits, 2000.
- [12] Mota M. et al., "A high-resolution time interpolator based on a delay locked loop and an RC delay line," IEEE Journal of Solid-State Circuits, Vol.34, Oct., 1999.
- [13] Garlepp B. W. et al., "A portable digital DLL for high-speed CMOS interface circuits," IEEE Journal of Solid-State Circuits, Vol.34, May, 1999.

- [14] Feng Lin et al., "A register-controlled symmetrical DLL for double-data-rate DRAM," IEEE Journal of Solid-State Circuits, Vol.34, Apr., 1999.
- [15] Portmann C. et al., "A multiple vendor 2.5-V DLL for 1.6-GB/s RDRAMs," Symposium on Digest of Technical Papers VLSI Circuits, 1999.
- [16] Yongsam Moon et al., "A 1Gbps transceiver with receiver-end deskewing capability using non-uniform tracked oversampling and a 250~750MHz four-phase DLL," Symposium on Digest of Technical Papers VLSI Circuits, 1999.
- [17] Nagavarapu S. et al., "An asynchronous data recovery/retransmission technique with foreground DLL calibration," ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, Vol.6, 1999.
- [18] Yongsam Moon et al., "A 62.5MHz~250MHz multi-phase delay-locked loop using a replica delay line with triply controlled delay cells," Proceedings of the IEEE 1999 Custom Integrated Circuits, 1999.



### 구 인 재

e-mail : injae.koo@hynix.com

2000년 성균관대학교 전기공학 학사  
2002년 성균관대학교 전자공학 석사  
2002년~현재 하이닉스 반도체 System-  
IC SoC 팀 연구원  
관심분야 : DLL, PLL, Micro Controller Unit



### 정 강 민

e-mail : kmchung@yurim.skku.ac.kr

1971년 서울대학교 전기공학과 공학사  
1976년 미 Texas대 전기공학과 공학석사  
1979년 미 Texas대 전기공학과 공학박사  
1979년~1983년 미 AT&T Bell 연구소  
연구원  
1983년~1985년 미 Sperry Computer Systems 연구고문  
1985년~현재 성균관대학교 전기전자컴퓨터공학부 정교수  
관심분야 : CMOS SoC 디지털 및 아날로그 VLSI 설계