

IP활용에 적합한 저전력 MCU CORE 설계

이 광 엽[†] · 이 동 엽^{††}

요 약

본 논문은 소자 수준의 설계방법 보다 아키텍처와 같은 상위수준의 설계방법을 적용하여 IP(Intellectual Property)에 활용하기 적합한 저전력 마이크로컨트롤러 코어 설계를 다루었다. 스위칭 캐패시턴스를 줄이기 위하여 자주 사용되는 레지스터 전달 마이크로 오퍼레이션에 레지스터간의 직접적인 전달 구조를 적용하였다. 입력데이터의 상승예지 시간을 줄이기 위하여 분산 버퍼구조를 제안하였다. 또한 성능저하 없이 소비전력을 줄이기 위하여 파이프라인 구조에 적용된다. 본 논문에서는 CISC 명령어를 처리하기에 적합한 파이프라인이 설계되었다. 설계된 마이크로컨트롤러는 전력소모를 20%정도 감소시켰다. 전력소모를 측정하기 위해서는 SYNOPSIS의 EPIC powermill과 현대 0.6um CMOS 파라미터를 적용하였다.

Design of a Low Power MicroController Core for Intellectual Property applications

Kwang-Youb Lee[†] · Dong-Yup Lee^{††}

ABSTRACT

This paper describes an IP design of a low-power microcontroller using an architecture level design methodology instead of a transistor level. To reduce switching capacitance, the register-to-register data transfer is adopted to frequently used register transfer micro-operations. Also, distributed buffers are proposed to reduce a input data rising edge time. To reduce power consumption without any loss of performance, pipeline processing should be used. In this paper, a 4-stage pipelined datapath being able to process CISC instructions is designed. Designed microcontroller lessens power consumption by 20%. To measure a power consumption, the SYNOPSIS EPIC powermill is used.

1. 서 론

개인용 컴퓨터의 보급이 급격히 증가하고 컴퓨터 네트워크 및 휴대용 통신기술의 발달로 PDA(Personal Digital Assistant)와 같이 통신기능을 갖는 휴대용 컴퓨터가 등장하고 있다. 휴대용 멀티미디어 시스템의 구현에는 다음과 같은 기술이 필수적으로 해결되어야 한다[1].

① 오랜 시간 휴대가 가능하고 적은 용량의 배터리로 동작이 가능하도록 저소비전력의 (low-power consumption) 시스템 설계

② 비디오와 오디오 영상을 담은 멀티미디어 데이터 통신과 신호처리 등 다양한 기능을 탑재하는 기술 등이다.

위와 같은 기술을 종합적으로 해결하는데는 크게 다음과 같은 문제점이 있다.

① 시스템의 소비전력을 줄이는 방법으로는 동작전압과 동작 주파수를 낮추는 것이 가장 효과적이다. 그러나 반대로 동작속도의 감소로 성능이 저하되어 비디오와 데이터 전송 등 복잡한 기능을 실시간에 처리하기 어렵다.

* 이 논문은 1997년도 한국학술진흥재단의 학술연구조성비 지원으로 작성되었음.(과제번호:997-016-E0005)

† 정 회 원 : 서경대학교 컴퓨터공학과 교수

†† 정 회 원 : (주)성진 씨앤씨 연구원

논문접수 : 1999년 9월 7일, 심사완료 : 1999년 12월 30일

② 다양한 기능이 하나의 시스템에 탑재되기 때문에 부품수의 증가로 시스템 크기 및 소비전력이 증가한다.

따라서 위와 같은 문제점이 없는 휴대용 멀티미디어 시스템을 구현하기 위해서는 저전력, 고성능, 다기능의 마이크로컨트롤러의 개발이 필수적이다.

최근 설계 기술은 전력 소비를 최소화하면서 성능을 향상시키기 위한 방안으로서 마이크로컨트롤러 설계에 비동기적 기법을 적용하거나, 프로세서 내에서 특정한 블록, 예를 들면, 명령어 디코더나 레지스터 파일과 같이 전력 소비가 많은 블록에 대해서는 셀프타임(self-time)기법으로 설계하여 전력 소비의 최소화를 도모하고 있는 추세이다.

그러나 셀프타임 방법은 제어구조가 복잡하여 회로 구현에 어려움이 있다. 다른 방법으로는 문턱 전압을 낮추거나 전류감지 회로 및 voltage recovery 등 full custom 칩 설계에 적용이 가능한 방법으로 셀 라이브러리를 사용하는 IP(Intellectual Property)에는 적용하기 어려운 문제점이 있다.

IP는 제조공정에 의존하지 않는 설계 데이터를 요구하기 때문에 셀 라이브러리를 사용한 마이크로컨트롤러의 설계를 위해서는 제조 공정 및 트랜지스터 크기를 조작하는 방법을 탈피하여 아키텍처 및 회로를 구현하는 기술에 대한 연구가 필요하다.

따라서 본 논문에서는 저전력회로 설계 기술에 필요한 다양한 방법을 연구하고 이 가운데 IP설계에 적합하고 가장 효과가 큰 방법을 선택한다. 저전력 설계 기술은 소자 및 공급전압의 scaling down부터 병렬아키텍처, 알고리즘 최적화등 폭넓게 분포되어 있다.

설계의 대상이 되는 마이크로컨트롤러는 8비트 마이크로컨트롤러에서 가장 널리 사용되고 있는 인텔사의 8051을 target으로 하였고 명령어 레벨에서 호환성을 유지하도록 설계하였다. 기존의 8051은 12클럭사이클, 6state의 machine사이클에 기초하여 명령어가 처리되며 1,2,4machine사이클 종류가 있다.

본 논문에서는 설계된 회로의 소비전력을 측정하기 위하여 SYNOPSIS사의 EPIC powermill을 사용하였고 측정대상 technology는 현대 0.6um CMOS 공정이다.

2. 저전력회로 설계방법에 대한 고찰

CMOS 트랜지스터로 구성되는 회로에서 전력은 트

랜지스터의 on-off동작 이외에도 트랜지스터가 구동시키는 캐패시턴스의 charge-discharge 그리고 상태유지를 위해 소모된다. 저전력회로 설계를 위해서는 전력 소비의 형태를 정확히 분석한 후 이 가운데 IP설계시 고려할 수 있는 factor를 찾아 target 마이크로컨트롤러 설계에 적용한다.

2.1 CMOS회로에서 전력소비의 형태분석

CMOS회로에서 전력소비는 동적(active)전력소비와 정적(standby)전력소비로 구분된다. 동적 전력소비는 다시 스위칭 전력소비와 단락회로 전력소비로 구성되고 정적 전력소비는 접합 누설 전력소비와 누설전류 전력소비로 나누어 진다. 이것을 공급전압, 회로에 흐르는 전류, 부하 캐패시턴스, 동작 주파수 등의 factor로 식을 구성하면 다음 (식-1)과 같다(σ : functional activity, α : switching activity).

$$\begin{aligned}
 P_{total} &= \sigma \cdot P_{active} + (1-\sigma) \cdot P_{standby} \\
 &= \sigma \cdot (P_{switching} + P_{shortcircuit}) + (1-\sigma) \cdot P_{leakage} \quad (\text{식-1}) \\
 &= \sigma \cdot (\alpha \cdot C_L \cdot V_{DD}^2 \cdot f_{CLK}) + \sigma \cdot I_{SC} \cdot V_{DD} + (1-\sigma) \cdot I_{leakage} \cdot V_{DD}
 \end{aligned}$$

CMOS회로들의 스위칭 전류 전력은 캐패시턴스 충전 시에 발생한다. 캐패시턴스 노드가 한 번 transition할때마다 $C_L V_{DD}^2$ 만큼의 전력이 소모된다. 스위칭 전류 전력 소비는 activity, 스위칭속도, 기생캐패시턴스 등에 선형적으로 비례하며 전체 에너지의 80~90%를 차지한다[2].

$$P_{switching} = \alpha \times f \times C \times V_{DD}^2 \quad (\text{식-2})$$

위 식의 각 파라미터의 최적화를 통하여 스위칭전류 전력 소비를 줄일 수 있는데 공급전압을 줄이기 위해서는 트랜지스터의 크기를 줄여야 한다. 그러나 트랜지스터의 크기가 줄면 동작주파수도 줄어들기 때문에 같은 성능의 회로를 구현하려면 회로를 최대주파수에서 동작이 가능하도록 설계하여야 한다. 이것은 IP설계와 같은 제한된 환경 내에서의 설계에는 적합하지 않기 때문에 결국 스위칭 캐패시턴스를 감소시키는 설계방법이 필요하다.

두 번째로 고려할 수 있는 요소는 단락회로 전류에 의한 소모전력이다. CMOS소자의 transition activity 때문에 생기는 단락회로 전력소비는 로직 레벨 transition

을 하는 과정에서 PMOS와 NMOS가 모두 turn-on되어 short path가 생길 때 V_{DD} 에서 ground로 흐르는 전류에 의한 소비 전력이다. 단락전류에 의한 소비전력에 영향을 주는 factor는 다음 식에서 자세히 나타난다[3].

$$P_{sc} = \frac{\beta}{12} \cdot (V_{DD} - 2V_T)^3 \cdot \frac{\tau}{T} \quad (\text{식-3})$$

이 식의 factor에서 β 값의 조절을 위해 PMOS와 NMOS의 크기 비율을 조절하여야 하는데 이 비율값은 V_T 와 회로의 driving current와 delay에 영향을 주기 때문에 τ 값을 줄여 전체적으로 단락전류의 소비전력을 줄일 수 있다. Factor τ 는 입력신호의 기울기로 회로에서 sharp rising edge, falling edge를 만들어 내는 것이 요구된다.

2.2 상위 설계단계에서의 저전력화 방법

회로의 저전력화 방법은 흐르는 전류의 양을 조절하는 하위 설계단계뿐만 아니라 구체적인 회로 설계 이전의 상위 단계에서도 구현할 수 있다. 저전력화 기법은 알고리즘, 아키텍처, 로직레벨, layout레벨, 소자레벨등으로 나눌 수 있는데 각 단계 별로 얻을 수 있는 효과는 <표-1>과 같다[3].

<표 1> 설계수준별 소비전력 감소 효과 비교

설계 수준(level)	소비전력 감소 효과
Algorithm	10 ~ 100배
Architecture	10 ~ 90%
Logic Level	15%
Layout Level	20%
Device Level	30%

표에서 보는 바와 같이 아키텍처에서도 큰 전력감소를 얻을 수 있는데 이 것은 단위 성능당 전력이 감소함을 의미한다. 대표적인 방법으로 병렬처리 구조를 들 수 있는데 단위 시간당 여러개의 명령을 실행한다. 병렬 프로세싱을 구현하여 같은 주파수로 성능을 높이거나 파이프라인을 사용하는 것이 그 방법이다.

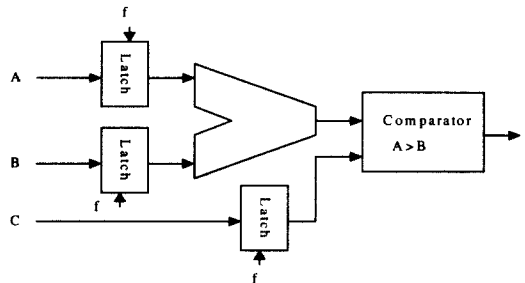
병렬 프로세싱을 이용한 경우 소비전력이 줄어들 수 있는 원인인 동작 주파수를 낮출 수 있고 따라서 공급전압과 전압 스윙을 줄일 수 있다. 병렬 프로세싱을 n 배로 구현하면 캐패시턴스는 $n \cdot C$ 에 가까워지고 공급전압은 V/n 에 가까워진다. 따라서 소비전

력은 다음과 같다.

$$P_{parallel} = (nC) \cdot \left(\frac{V}{n}\right)^2 \cdot \left(\frac{f}{n}\right) = \frac{P_{uniprocessor}}{n^2} \quad (\text{식-4})$$

병렬 구조의 다른형태는 파이프라인이다. 파이프라인 레지스터를 두어 uniprocessor를 2개 이상의 stage로 나눈다. Uniprocessor의 지연시간은 반으로 줄어들고 따라서 공급전압도 낮출 수가 있다. 파이프라인 단이 n 개일 때 캐패시턴스는 레지스터와 제어 회로를 무시할 때 C 에 가까워질 것이며 따라서 공급전압도 V/n 에 가까워진다.

$$P_{pipeline} = C \cdot \left(\frac{V}{n}\right)^2 \cdot f = \frac{P_{uniprocessor}}{n^2} \quad (\text{식-5})$$



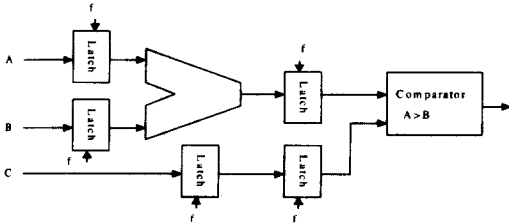
(그림 1) 8비트 합산기-비교기 데이터패스

합산기와 비교기가 있는 8-bit 데이터패스의 설계 예를 들어 파이프라인과 병렬프로세싱회로의 소비전력 감소효과를 비교할 수 있다. (그림 1)의 회로는 A와 B를 더한 후 그 결과를 C와 비교하는 연산을 수행한다. 래치-합산기-비교기 데이터패스의 지연시간을 25ns로 하고 공급전압을 5V로 할 때 기준 데이터패스의 소비전력을 다음과 같이 나타낼 수 있다[5].

$$P_{ref} = C_{ref} \cdot V_{ref}^2 \cdot f_{ref} \quad (\text{식-6})$$

병렬회로로 구현할 경우 2개의 동일한 비교기 데이터패스와 멀티플렉서로 구성되며 지연시간을 50ns로 할 때 기준 데이터패스에 비하여 지연시간이 2배가 되는 전압은 약 2.9V가 된다. 또한 동작 주파수는 $\frac{1}{2}$ 로 줄어들고 layout결과로부터 캐패시턴스는 2.15Cref가 됨을 알 수 있다. 이 값을 이용하여 소비전력을 구하면 다음과 같다.

$$P_{parallel} = (2.15 C_{ref}) \cdot \left(\frac{2.9 V_{ref}}{5.0}\right)^2 \cdot \left(\frac{f_{ref}}{2}\right) = 0.36163 P_{ref} \quad (\text{식-7})$$



(그림 2) 파이프라인 구현

(그림 2)는 파이프라인을 적용한 데이터패스이다. 2개의 파이프라인 래치를 이용해서 합산기의 결과와 C가 동시에 비교기에 들어가게 함으로써 비교기의 불필요한 bit transition이 일어나지 않게 한다. 이때 지연 경로는 $\frac{1}{2}$ 로 줄고 layout결과 캐패시턴스는 $1.15C_{ref}$ 가 된다. 구동전압을 병렬 처리와 동일하게 2.9V로 할 때 소비전력은 다음과 같이 표현된다.

$$P_{pipeline} = (1.15 C_{ref}) \cdot \left(\frac{2.9 V_{ref}}{5.0}\right)^2 \cdot f_{ref} = 0.38686 P_{ref} \quad (\text{식-8})$$

위와 같이 병렬회로와 파이프라인 방식 두 개의 구조를 비교하여 보면 소비 전력면에서는 근소한 차이를 갖지만 면적x소비전력의 값을 보면 병렬회로의 경우 1.2308이고 파이프라인의 경우 0.5031이다. 즉 저전력 구조 면에서는 파이프라인이 더 효율적임을 알 수 있다.

3. 저전력 마이크로컨트롤러 설계

본 논문에서는 마이크로컨트롤러를 저전력으로 설계하기 위한 방법으로 2절에서 설명한 바와 같이 알고리즘부터 소자단계까지 여러방법 가운데 IP설계에 적합한 방법을 다음과 같이 선정하였다. 저전력 회로구조로 널리사용되는 gated clock방법은 본 논문의 비교대상인 non-pipelined MCU에서도 적용하였기 때문에 다음 제안방법에서는 나타나지 않았다.

① 스위칭 캐패시턴스의 크기를 줄이는 방법 : 회로 내에서 캐패시턴스의 크기가 가장 큰 부분은 버스에 모든 레지스터들이 버스에 연결되어 있고 데이터 전달을 위하여 버스를 구동하여야 한다.

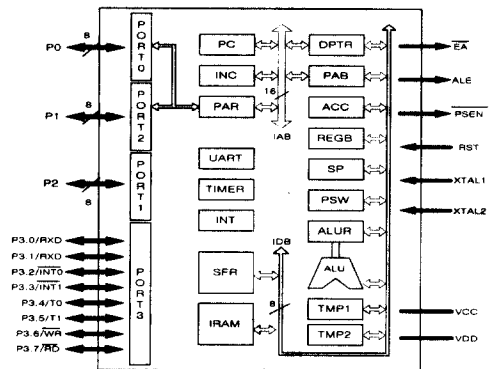
② 입력신호의 rising edge를 sharp하게 하는 방법 : 회로내의 레지스터는 8, 16비트로 단일 제어신호가 8개 또는 16개의 레지스터를 구동하여야 한다. Driving force를 증가시키는 것이 필요하다.

③ 파이프라인 처리로 구동주파수를 줄이고 성능대비 소비전력을 줄이는 방법

3.1 Target 마이크로컨트롤러의 구조

본 논문의 마이크로컨트롤러는 8비트 마이크로컨트롤러이며 데이터버스, 어드레스버스를 가지고 있고 각 버스에는 레지스터들이 연결되어있다. 또한 메모리, 포트(port) 그리고 인터럽트를 쉽게 확장할 수 있는 구조를 갖는다. 포트를 통하여 외부의 프로그램 또는 데이터 메모리의 액세스가 가능하며 범용 포트로서 외부회로와 인터페이스, 인터럽트, 입력포트 등의 타이밍 특성 및 기능은 인텔 8051과 호환성을 유지하도록 설계되었다[6]. 설계된 Target 마이크로컨트롤러의 구조는 (그림 3)에 나타내었다.

명령어 디코더에서는 프로그램메모리로부터 입력된 111가지의 명령어를 수행하기 위한 마이크로 코드를 만들어 낸다. 코드는 클럭과 결합하여 해당 명령어처리에 필요한 회로를 순서적으로 triggering한다. 명령어는 6개의 state cycle로 구성된 machine cycle 단위로 수행 사이클이 정해지고 명령어에 따라 1,2,4 machine cycle 가운데 하나의 명령어 처리과정을 거치게 된다.

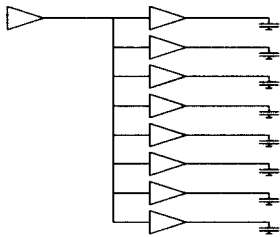


(그림 3) 설계된 Target 마이크로컨트롤러의 구조

3.2 분산 버퍼를 이용한 저전력 회로 설계

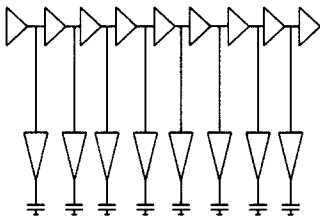
본 논문의 마이크로컨트롤러는 8비트의 데이터와 16비트 주소를 처리하기 때문에 레지스터와 멀티플렉서, 버스 driving tri-state buffer 등을 제어하기 위한 신호는 fan-out

이 8, 16이 된다. Fan-out이 커짐에 따라 이들 블록에 입력되는 데이터는 sharp rising edge를 유지할 수 없다. 이 문제를 해결하기 위해서는 대개 x3, x5 등의 high driving buffer를 사용한다. (그림 4)은 기존의 방법을 나타낸다.



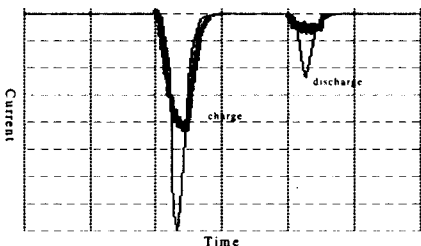
(그림 4) 기존의 기능블럭에 대한 control 버퍼구조

큰 용량의 버퍼는 자체 소모전력이 크기 때문에 sharp rising edge는 얻을 수 있어도 전체 소비전력에서는 개선이 없게 된다. 이를 해결하는 방법으로 (그림 5)와 같이 x1 기본버퍼를 비트별로 할당하여 비트별 driving이 이루어 지도록 한다. 물론 비트별로 신호가 진행되면서 delay가 발생하지만 target 마이크로컨트롤러의 동작 주파수에는 위배되지 않는다[7].



(그림 5) 제안된 기능블럭의 control 버퍼구조

기존의 방법과 제안된 방법을 비교를 위해 HSPICE 시뮬레이션한 결과는 (그림 6)에 나타나 있다. 이 결과 20%의 소비전력이 개선되었음을 알 수 있다.



(그림 6) 두가지 버퍼구조에 대한 spice 시뮬레이션 결과 (가는 선이 기존의 구조, 굵은 선은 제안된 구조)

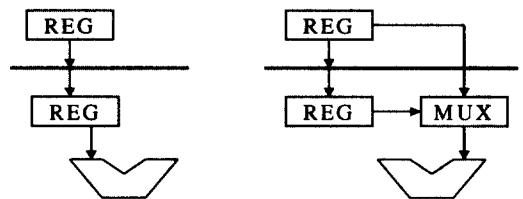
3.3 멀티플렉서를 이용한 스위칭 캐패시턴스 감축

두 번째 방법으로는 멀티플렉서를 이용한 방법으로서 멀티플렉서 구조의 마이크로컨트롤러는 기존의 버스구조의 마이크로컨트롤러 구조를 기본으로 하여 버스에 연결되어 있는 각 레지스터에서 데이터 이동이 있을 경우에 버스가 아닌 멀티플렉서를 이용하여 데이터를 이동하는 것으로 (그림 7)은 ALU의 입력 레지스터(TMP2)에 대한 예제를 나타낸다. 마이크로코드 a_tmp2는 accumulator에서 tmp2로 데이터를 이동시키기 위한 제어코드로 전체 발생량의 5.93%의 빈도수를 갖기 때문에 멀티플렉서를 사용하여 bus를 거치지 않고 직접 데이터를 전달 하도록 한다.

마이크로코드가운데 발생빈도가 높아 멀티플렉서를 사용할 수 있는 코드는 <표 2>에 수록하였다.

<표 2> 멀티플렉서를 적용할 수 있는 마이크로코드

마이크로코드	Source register	Target register	발생 빈도수
pc_inc	Program counter	Increment	10%
inc_pc	Increment	Program counter	9.3%
inc_par	Increment	PAR	8.2%
a_tmp2	Accumulator	ALU tmp2	5.93%
rom_ireg	Port0	Instruction reg	5.92%

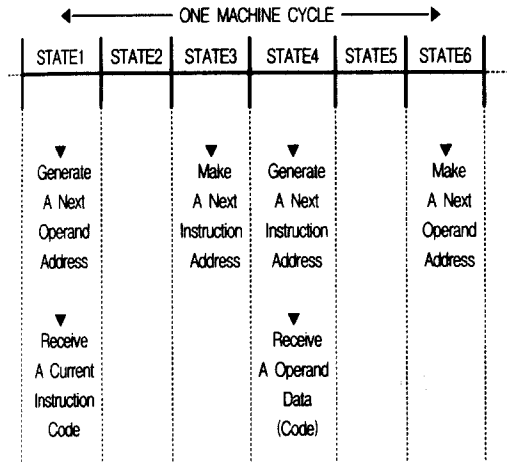


(그림 7) 멀티플렉서를 이용한 레지스터간 데이터 이동

3.4 파이프라인 구조의 데이터패스 설계 및 검증

본 논문의 target 마이크로컨트롤러를 non-pipelined 구조로 설계할 경우 1 machine cycle 명령어는 12클럭 사이클마다 하나의 명령어가 처리된다. 여기에 파이프라인 구조를 적용하면 매 state cycle 즉, 2클럭 사이클마다 하나의 명령어가 처리된다. 따라서 평균적으로 6배의 성능향상을 얻게 되며 이것은 동일한 성능을 기준으로 하면 6배의 소비전력 감소를 얻는 것을 의미한다[8][9].

Target 마이크로컨트롤러는 CISC(Complex Instruction Set Computer)구조의 명령어로 구성되어 있으며 target MCU의 명령어는 1 machine-6state cycle를 기준으로 (그림 8)과 같은 state cycle에 따라 실행되며 이것은 target MCU 명령어 디코더의 설계기준이 된다.



(그림 8) 프로그램메모리 Access를 기준으로한 1 machine cycle의 구조

한편, target MCU와 명령어 호환을 유지하면서 파이프라인구조를 갖기 위해서는 명령어 디코더의 재설계가 필요하다. 본 논문의 파이프라인은 (그림 9)과 같이 4단 파이프라인을 갖는다.

Stage 1	Stage 2	Stage 3	Stage 4
Instruction Fetch (IF)	Memory Operation (MEMOp)	ALU Operation (ALUOp)	Write Back (WB)

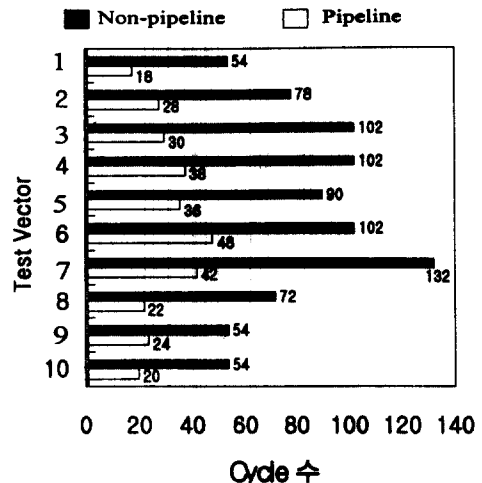
(그림 9) 4단 파이프라인 구조

6 state의 machine cycle을 바탕으로 설계된 target 마이크로컨트롤러의 명령어를 파이프라인 처리가 가능하도록 하기 위해서는 1 machine cycle의 명령어는 4단 stage에 맞추어 명령어 sequence를 수정하고 2 machine cycle명령어의 경우에는 한 명령어가 2번의 4단 stage에 걸쳐 수행되도록 하였다. 이러한 명령어가 수행될 때 충돌이 발생하는 stage는 stall을 시켜 source hazard가 발생되지 않도록 한다.

회로설계는 Verilog HDL Tool을 이용하여 게이트레벨로 기술하고 CADENCE에서 시뮬레이션을 수행하였으며 회로합성은 SYNOPSIS툴을 사용하였다. 전력측정은 Verilog HDL netlist와 0.6um 현대 CMOS공정 파라미터를 결합하여 EPIC powermill에서 측정하였다. 본 논문의 측정 기준이 되는 target MCU는 현대전자 공정, 100 pin QFP의 칩으로 제작되어 동작검증이 완료된 상태이다. 설계된 회로는 내부 메모리128byte를 제외하고 약 8500게이트로 구성되었으며 33MHZ로 동작한다.

파이프라인 구조의 기능과 성능을 검증하기 위해서는 111개의 모든 명령어와 다양한 sequence를 갖는 10개의 테스트벡터를 작성하고 이를 설계된 회로에서 시뮬레이션 하였다.

검증은 non-pipeline구조와 pipeline구조에 대하여 각각 실시하고 각 테스트벡터를 처리하는데 소요된 클럭사이클 수를 비교하였다. (그림 10)은 두 구조에 대한 측정 결과로 non-pipeline구조에 비하여 pipeline구조가 평균 2.8배의 성능향상을 보인다. 결과적으로 같은 성능을 나타낼 때 소비전력측면에서 65%의 개선을 얻을 수 있다.



(그림 10) 성능 측정 결과

4. 결 론

본 논문에서는 휴대용 및 저전력시스템에서 내장형 제어장치 설계에 용이하게 사용할 수 있는 IP형태의 저전력 마이크로컨트롤러를 설계하였다. 설계 결과는

IP로 사용될 수 있는 제조 technology에 의존하지 않는 상위단계의 데이터로 출력된다.

저전력 설계 방법을 아키텍처 레벨에서 소자레벨까지 다양하게 비교 연구한 후 IP 용 마이크로컨트롤러의 저전력화에 적합한 방법 가운데 가장 전력 감소 효과가 큰 3가지를 설계에 적용하였다.

설계 대상 마이크로컨트롤러는 인텔8051과 명령어 레벨에서 호환성을 유지하는 8비트 마이크로컨트롤러로 하였고 스위칭 캐패시턴스 감소, 입력데이터의 sharp rising edge유지, 파이프라인 아키텍처 등을 적용하여 기존의 마이크로컨트롤러 회로를 개선하였다.

스위칭 캐패시턴스 감소를 위해서는 레지스터에서 버스를 경유한 데이터전달을 피하고 멀티플렉서를 이용하여 직접데이터를 전달하도록 데이터패스를 설계하였으며 분산형 버퍼를 이용하여 제어신호의 driving force를 향상시켰다. 또한 데이터패스를 파이프라인 구조로 바꾸기 위해 기존의 machine cycle에 기초한 CISC형태의 명령어 처리과정을 4stage 처리과정으로 개선하였다.

Target 마이크로컨트롤러에 제안된 저전력 설계방법을 적용한 결과 회로에서는 평균 20%의 전력이 감소하였고 성능대비 소모전력은 65% 개선되었다.

저전력회로에서 소모전력 측정에는 SYNOPSIS의 EPIC powermill[10]을 사용하였다.

참 고 문 헌

[1] Edited by Jan M. Rabaey et al., Low Power Design Methodologies, Kluwer Academic Publishers, pp.2-20, 1996.
 [2] C. Piguet, "Ultra Low-Power Digital Design," Low-Power/Low-Voltage IC Design, pp.2-4, April 17-21, 1995.
 [3] C.L. Su, "Saving power in the control path of embedded processors," IEEE Design and Test of Computers, Vol.11, No.4, pp.24-30, Winter 1994.
 [4] H.J.M.Veendrick, Short-circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits, IEEE JSSCC, pp.486-473, Aug, 1984.

[5] Anaatha P. Chandrakasan, Robert W. Brodersen, Low Power Digital CMOS Design, Kluwer Academic Publishers, pp.132-137, 1995.
 [6] "Embedded Controller Handbook 8bit," Vol.1, Intel Co., 1988.
 [7] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design : A Systems Perspective, Addison-Wesley Publishing, 1998.
 [8] Kogge, The Architecture of Pipelined Computer, Hemisphere Publisher, 1981.
 [9] Kogge, A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equeations, IEEE Trans. Comp., Vol.c-22, No.8, pp.786-793, Aug., 1973.
 [10] EPIC Tools Reference Guide, SYNOPSIS, 1998.



이 광 엽

e-mail : kylee@bukak.seokyeong.ac.kr
 1979년 서강대학교 전자공학과 졸업 (학사)
 1987년 연세대학원 전자공학과 졸업 (공학석사)
 1994년 연세대학원 전자공학과 졸업(공학박사)

1987년~1988년 (주)한국실리콘 ASIC설계 연구원
 1989년~1995년 현대전자산업(주) 시스템IC 연구소 선임 연구원
 1995년~현재 서경대학교 컴퓨터공학과 조교수
 관심분야 : 마이크로프로세서, 컴퓨터구조, ASIC



이 동 엽

e-mail : cowi@hite1.net
 1997년 서경대학교 컴퓨터공학과 졸업(학사)
 1999년 서경대학원 컴퓨터공학과 졸업(이학석사)
 1999년~현재 (주)성진씨앤씨

관심분야 : 영상처리시스템, ASIC