

SXGA급 a-Si TFT LCD 범용 컨트롤러 설계

박 병 기[†] · 최 철 호[†] · 박 진 성[†] · 권 병 헌^{††} · 최 명 렬^{†††}

요 약

평판 디스플레이 분야의 발달로 대형화와 고해상도화가 진행됨에 따라 이에 알맞은 새로운 개념의 평판 디스플레이를 위한 컨트롤러가 필요하게 되었다. 이에 본 논문에서는 평판 디스플레이 중에서 가장 많은 비중을 차지하는 TFT LCD를 위한 SXGA급 해상도를 지원하는 컨트롤러를 설계하였다. 병렬 버스 구조의 새로운 LCD 컨트롤러의 구조를 제시하였으며, 저해상도 화면을 SXGA급 해상도의 화면으로 확대할 수 있도록 설계하였다. 또한, Synopsys VHDL을 이용하여 제안한 컨트롤러의 기능 검증 및 회로 합성을 수행하였다.

A Universal Controller Design for a-Si TFT LCD of SXGA Class

Byong-Ki Park[†] · Chul-Ho Choi[†] · Jin-Sung Park[†]
Byong-Hoen Kwon^{††} · Myung-Ryul Choi^{†††}

ABSTRACT

As the size of the FPD(Flat Panel Display) becomes larger and its resolution is higher, it is required a new controller to support these specifications. In this paper, we have designed a universal controller of a-Si TFT LCD which will dominate the future market. We propose a new type of a LCD controller, which is constructed by four-line parallel-bus architecture and can enlarge low resolution images to SXGA class images by using a new interpolation algorithm. The proposed LCD controller has been simulated and synthesized by using Synopsys VHDL.

1. 서 론

전세계적으로 평판 디스플레이 분야 시장은 계속적으로 급성장하고 있으며, 1998년에는 140억불 규모에서 2004년에는 260억불 규모의 시장을 형성할 전망이다. 평판 디스플레이 시장에서 가장 큰 시장은 컴퓨터 분야로 여겨지며 2004년에는 전체의 54%를 차지할 것으로 보인다. 또한 평판 디스플레이 중 LCD (Liquid Crystal Display)가 2004년에는 84%를 넘을 것으로 추

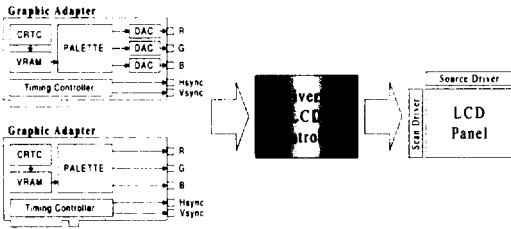
산된다. LCD 시장에서 TFT 방식의 LCD가 74%이상 점유할 것이며 후대가 가능하고 작은 기기들에 주로 사용될 것이고, 평판 디스플레이용 데스크탑 모니터가 현재의 CRT(Cathode-Ray Tube) 모니터를 점차적으로 대체할 것이다[1].

기존의 LCD 컨트롤러들은 흔히 VGA(Video Graphics Array) 카드라고 불리는 그래픽 어댑터에서 출력되는 비디오 신호를 LCD 패널에서 사용할 수 있도록 타이밍을 조절하는 것에 국한되어 만들어졌으며, LCD 제조 회사마다 각각 요구하는 타이밍 마진이 다르기 때문에 각 LCD 마다 특정한 LCD 컨트롤러가 필요했다. LCD 패널의 사이즈가 대형화되고 고해상도화됨에 따

† 준 회 원 : 한양대학교 대학원 제어계측공학과
†† 정 회 원 : 유한대학 정보통신과 교수
††† 정 회 원 : 한양대학교 제어계측공학과 교수
논문접수 : 1999년 1월 25일, 심사완료 : 1999년 8월 16일

라 범용성 있는 새로운 개념의 LCD 컨트롤러가 필요하게 되었다. 이에 본 논문에서는 기존 LCD 컨트롤러의 기능을 포함할 뿐 아니라 고해상도에 적합한 LCD 컨트롤러의 구조를 제시하고, 구조에 적합한 디스플레이 포맷을 설정하여, 저해상도의 비디오 신호를 SXGA의 해상도로 신호를 변환한 후 화면을 확대시킬 때 화질의 저하를 막기 위해 보간 알고리즘을 적용하였고, 제안한 컨트롤러를 VHDL[VHSIC(Very High Speed Integrated Circuits) Hardware Description Language]를 이용하여 설계하였으며, 예상한 바와 같이 동작함을 시뮬레이션 과정을 통해서 확인하였다.

2. 비디오 신호의 변환 및 포맷



(그림 1) LCD 구동 시스템의 구성

(그림 1)은 LCD 컨트롤러가 그래픽 어댑터와 LCD 패널의 소스, 스캔 드라이버 사이에 위치하고 있음을

보여주고 있다. LCD 컨트롤러는 독립적으로 신호를 변환하는 것이 아니라 그래픽 어댑터와 소스 드라이버의 요구에 맞추어 각각이 요구하는 알맞은 신호를 재생 및 전송해 주는 역할을 한다.

2.1 비디오 입출력 신호 포맷

2.1.1 입력 신호 형식

우선 비디오 타이밍을 VESA(Video Electronics Standards Association)에서 제시하는 기준으로 VGA2는 85Hz, VGA3는 60, 72, 75, 85Hz, SVGA는 56, 60, 72, 75, 85Hz, XGA는 43, 60, 70, 75, 85Hz, SXGA는 60Hz의 수직동기신호(VSYNC, Vertical Synchronization Signal)를 갖는 모드를 지원하도록 설계하였다. 그런데, SXGA 모드에서 VSYNC가 75Hz 이상 되면 그에 상응한 화소 클럭(Pixel Clock) 주파수가 130MHz가 넘게 된다. 최근 상용중인 소스 드라이버의 최대 동작 주파수가 65MHz인 것을 감안한다면 듀얼 포트 구조에서는 지원할 수 없다. 그러나 현재 사용되는 대부분의 LCD 컨트롤러는 LCD 드라이버 칩에서 LCD 패널로 연결되는 버스의 복잡도와 해상도를 고려하여 듀얼 포트, 싱글 뱅크 방식을 쓰고 있다[2]. 본 논문에서 제시한 LCD 컨트롤러도 범용성을 감안하여 홀수번째 화소와 짝수번째 화소의 데이터가 동시에 출력되는 듀얼 포트 구조를 갖도록 설계하였다.

<표 1> 컴퓨터 디스플레이 모니터 타이밍

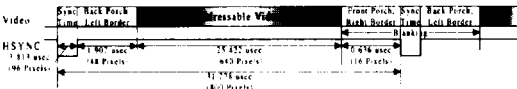
Modes	VSYNC (Hz)	Ver. Addr. (msec)	HSYNCin (KHz)	Hor. Addr. (usec)	N	Dot Clock (MHz)	Ver. Sync time (msec)	Ver. Back Porch (msec)	Ver. Left Border (msec)	Hor. Sync time (usec)	Hor. Back Porch (usec)	Hor. Left Border (usec)
NTSC 320×240	60	15.240	15.700	52.705	386	6.072						
VGA2 640×400	85	10.565	37.861	20.317	832	315.5	0.079	1.083	0.000	2.032	3.048	0.000
VGA3 640×480	60	15.253	31.469	25.422	800	25.175	0.064	0.794	0.254	3.813	1.589	0.318
	72	12.678	37.861	20.317	832	31.500	0.079	0.528	0.211	1.270	3.810	0.254
	75	12.800	37.500	20.317	840	31.500	0.080	0.427	0.000	2.032	3.810	0.000
	85	11.093	43.269	17.778	832	36.000	0.069	0.578	0.000	1.566	2.222	0.000
SVGA 800×600	56	17.067	35.156	22.222	1024	36.000	0.057	0.626	0.000	2.000	3.556	0.000
	60	15.840	37.879	20.000	1056	40.000	0.106	0.607	0.000	3.200	2.200	0.000
	72	12.480	48.077	16.000	1040	50.000	0.125	0.478	0.000	2.400	1.280	0.000
	75	12.800	46.875	16.162	1056	49.500	0.064	0.448	0.000	1.616	3.232	0.000
	85	11.179	53.674	14.222	1048	56.250	0.056	0.503	0.000	1.138	2.702	0.000
XGA 1024×768	43	21.620	35.522	22.806	1264	44.900	0.133	0.563	0.000	3.920	1.247	0.000
	60	15.880	48.363	15.754	1344	65.000	0.124	0.600	0.000	2.092	2.462	0.000
	70	13.599	56.476	13.653	1328	75.000	0.106	0.513	0.000	1.813	1.920	0.000
	75	12.795	60.023	13.003	1312	78.750	0.050	0.466	0.000	1.219	2.235	0.000
SXGA 1280×1024	85	11.183	68.677	10.836	1376	94.500	0.044	0.524	0.000	1.016	2.201	0.000
	60	16.005	63.981	11.852	1688	108.00	0.047	0.594	0.000	1.037	2.296	0.000
	75	12.804	79.976	9.481	1688	135.00	0.038	0.475	0.000	1.067	1.837	0.000
	85	11.235	91.146	8.127	1728	157.50	0.033	0.483	0.000	1.016	1.422	0.000

따라서 입력 비디오 신호의 범위는 NTSC와 VESA 기준에 준하는 18개 모드로 이루어져 있다. <표 1>에 입력 비디오 신호 타이밍[3]을 나타내었다.

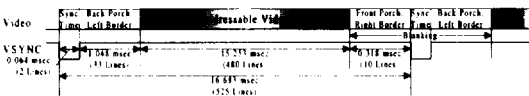


(그림 2) 동기 신호의 구간별 정의

VGA3(60Hz) 모드의 입력 일 때를 가정하여, (그림 3)과 (그림 4)에 입력 타이밍이 나타나 있다.



(그림 3) VGA3 (60Hz) 모드의 수평동기신호

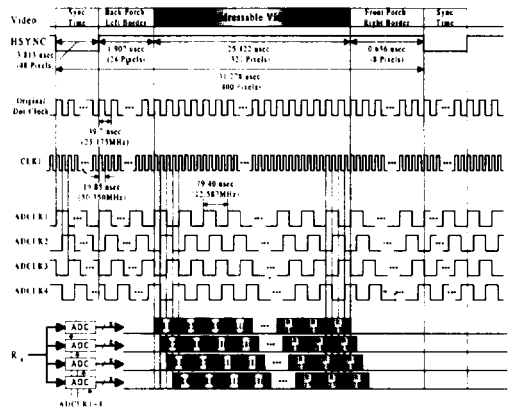


(그림 4) VGA3 (60Hz) 모드의 수직동기신호

2.1.2 아날로그 R, G, B 입력

입력 비디오 신호가 아날로그 R, G, B 신호일 때, 컨트롤러의 메모리에 저장하기 위해 이것을 디지털 데이터로 변환해줄 필요가 있다. 그러나 비디오 모드가 SXGA급이 되면 픽셀 클럭 주파수는 100MHz가 넘게되는데, 이런 고성능의 A/D 변환기 (ADC, Analog to Digital Converter)는 비용이 많이 들어 현실성이 없다. 이를 해결하기 위해서 4 라인 병렬 버스 구조를 제시하였으며, ADC도 현재의 LCD 모니터에서 쓰이는 변환 주파수가 35MHz인 것으로 활용할 수 있게 하였다.

(그림 5)와 같이 ADC에 필요한 데이터 변화 클럭 ADCLK1~4는 총 4개로서 CLK1을 4분주한 12.58MHz의 주파수를 갖는 클럭이며, 각각은 CLK1의 90° 위상차를 갖는 클럭이다. 여기서 CLK1은 전환면 표시를 위하여 입력되는 비디오 모드에 상관없이 1280개의 픽셀 데이터를 ADC를 통하여 입력받기 위해 필요한 ADC의 데이터 변화 클럭인 ADCLK1~4를 만들기 위한 클럭이다.



(그림 5) VGA3 (60Hz) 모드일 때 아날로그 R, G, B 입력 파형

이 클럭 주파수를 결정하기 위한 관계식과 VGA3 (60Hz)의 예는 다음과 같다.

$$CLK1 = \frac{1280}{Row\ Resolution} \times Original\ Clock\ Frequency \tag{1}$$

VGA3 (60Hz)에서의 예 :

$$CLK1 = \frac{1280}{640} \times 25.175 = 12.587MHz$$

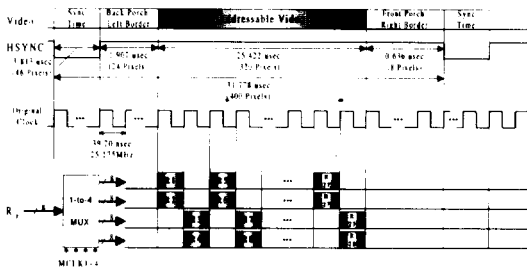
2.1.3 디지털 R, G, B

입력 비디오 신호가 디지털 R, G, B 신호일 때는 CLK1이 필요 없고, 그래픽 카드에서 제공하는 픽셀 클럭으로 MUX 블록을 제어한다.

(그림 6)과 같이 VGA3(60Hz) 모드일 경우 전환면 표시를 위하여 1280개의 픽셀을 메모리에 저장하기 위하여 한 픽셀에 대하여 두 부분의 메모리 블록에 저장한다. 그리하여 한 라인을 구성하는 640개의 픽셀 데이터를 입력받으면 메모리엔 SXGA 모드의 해상도인 1280개의 픽셀 데이터를 메모리에 저장할 수 있다. 표 2에 각 모드 별 MUX 제어 정보가 있다.

<표 2> 모드 별 MUX 제어 정보

Mode	MUX Block Control
NTSC	매 pixel마다 4개의 pixel을 메모리에 저장
VGA2,3	매 pixel마다 2개의 pixel을 메모리에 저장
SVGA	2번째와 9번째 pixel마다 2개의 pixel을 메모리에 저장
XGA	4번째 pixel마다 2개의 pixel을 메모리에 저장

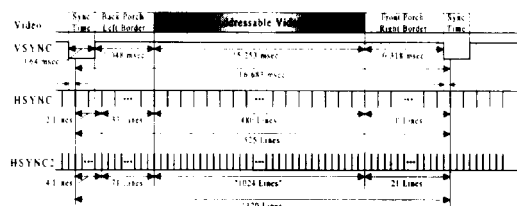


(그림 6) VGA3 (60Hz) 모드일 때 디지털 R, G, B 입력 파형

2.1.4 HSYNC2

저해상도 모드에서 SXGA LCD 상에 전환면 표시를 하기 위해서는 입력되는 VSYNC 신호의 표시 가능한 비디오 (Addressable Video) 시간에 1024개의 라인, 즉 1024개의 수평동기신호 (HSYNC, Horizontal Synchronization Signal)를 만들어야 한다. HSYNC2 신호는 저해상도 모드에서 SXGA 모드로 확대할 때 필요한 새로 만들어진 HSYNC 신호이다.

(그림 7)에 VGA3 (60Hz) 모드일 때 입력되는 VSYNC, HSYNC와 새로 만들어 낸 HSYNC2와의 관계를 나타내었다.



(그림 7) VGA3 (60Hz) 모드일 때 HSYNC2 신호의 결정

(그림 7)과 같이 원래의 VGA3 (60Hz) 모드일 때 VSYNC의 표시 가능한 비디오 시간에는 HSYNC가 480개가 존재한다. 전환면 표시를 위해서는 그 시간 안에 새로운 HSYNC 신호인 HSYNC2 신호가 1024개 존재해야 한다. 그리고 HSYNC2 신호의 극성은 정극성 (Positive Active) 신호를 기본으로 하였고, 구동 드라이버 특성상 부극성 (Negative Active) 신호가 필요할 때는 극성을 바꿀 수 있게 설계하였다.

새로 만들어 낸 HSYNC2의 주파수와 VGA3 (60Hz)에서의 예는 다음의 관계식으로 결정된다.

$$HSYNC = \frac{1024}{\text{Vertical Addressable Video Time}} \quad (2)$$

VGA3 (60Hz)에서의 예 :

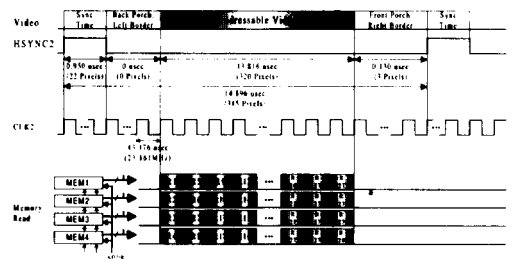
$$HSYNC2 = \frac{1024}{15.253\text{msec}} = 67.134\text{KHz}$$

2.1.5 메모리 읽기 타이밍

(그림 8)과 같이 컨트롤러의 메모리는 읽기, 쓰기를 동시에 할 수 있는 듀얼 포트 메모리로 R, G, B당 각각 320Bytes의 크기를 갖는 메모리가 4개로 이루어져 있다. 그리고 저장된 데이터를 보간 필터 블록으로 전달하기 위해서 CLK2의 클럭으로 4개의 픽셀 데이터를 병렬로 동시에 읽어들이는다.

기준 클럭 CLK2는 메모리에 저장된 픽셀 데이터를 보간 필터 블록에 전달하고 드라이버를 제어하는데 필요한 신호들을 만든다. 이 CLK2를 결정하는데 있어서 몇 가지 고려해야 할 사항이 있다. CLK2는 PLL2에서 만들어지는데, PLL2는 HSYNC 신호를 입력으로 받아 N2 값만큼 분주를 하여 CLK2를 만든다. 이렇게 만든 CLK2를 가지고 거꾸로 앞에서 결정한 HSYNC2 신호를 만들어야 한다. 즉, CLK2는 HSYNC2 신호와 동기가 되어야 하고, 그에 따른 분주비값 N2는 정수이어야만 한다. 이 두가지 조건을 모두 만족하는 CLK2를 결정하기 위하여 다음과 같은 관계식을 이용한다.

$$CLK2 = \frac{340 \sim 500}{HSYNC \text{ Total Time}} \quad (3)$$



(그림 8) VGA3 (60Hz) 모드일 때 메모리 읽기 타이밍

위에서 서술한 두 가지 조건을 만족하는 CLK2를 결정하기 위해 HSYNC2 신호를 총 픽셀 데이터 수가 최소 340개에서 최대 500개 사이에 존재하면서 N2값이 정수가 되는 값을 찾으면 된다. N2값을 결정하기 위한 관계식은 다음과 같다.

<표 3> 전화면 표시를 위한 타이밍 정보

Modes	CLK1 (MHz)	N1	HSYNC2 (KHz)	CLK2 (MHz)	N2	Total Pixel	Total Line
NTSC 320×240	24.288	1544	67.192	30.506	1943	454	1121
VGA2 640×400	63.000	1644	96.924	33.923	896	350	1139
VGA3 640×480	50.350	1600	67.134	23.161	736	345	1120
	63.000	1644	80.770	27.865	736	345	1109
	63.000	1680	80.000	27.600	736	345	1066
	72.000	1644	92.310	31.846	736	345	1085
SVGA 800×600	57.600	1639	60.000	22.500	640	375	1066
	64.000	1690	64.646	0.189	797	467	1071
	80.000	1644	82.051	38.317	797	467	1136
	79.200	1690	80.000	30.000	640	375	1066
	90.000	1677	91.600	37.464	698	409	1076
XGA 1024×768	56.125	1580	47.364	16.198	456	342	1089
	81.125	1680	64.484	22.053	456	342	1074
	93.750	1660	75.300	5.752	456	342	1074
	98.438	1640	80.031	27.370	456	342	1066
	118.125	1720	91.568	31.316	456	342	1077
SXGA 1280×1024	108.00	1688	63.981	27.000	422	422	1066
	135.00	1688	79.976	33.750	422	422	1066
	157.00	1688	91.146	39.375	422	432	1072

$$N_2 = \frac{CLK2}{HSYNC} = \frac{340 \sim 500}{HSYNC \times HSYNC2 \times TotalTime} \quad (4)$$

입력이 VGA3(60Hz)일 경우에 HSYNC는 31.469 kHz이고, HSYNC2의 주기는 14.896 μsec이므로 340에서 500 사이 중 N2값이 정수가 되는 총 픽셀 수는 345로 정할 수 있다. 이로써 CLK2와 N2값은 다음과 같다.

$$CLK2 = \frac{345}{14.896 \mu sec} = 23.161 MHz \quad (5)$$

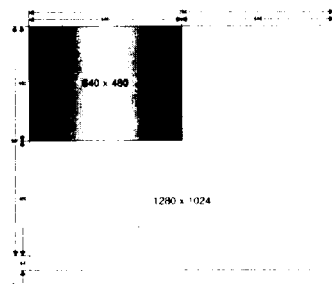
$$N2 = \frac{345}{31.469 KHz \times 14.896 \mu sec} = 736 \quad (6)$$

<표 3>에 본 연구에서 지원하는 비디오 모드에 대해서 전화면 표시를 위해 필요한 타이밍 정보가 정리되어있다.

2.2 화면 확장 방법

(그림 9)에 나타난 바와 같이 VGA3 모드는 SXGA 모드에 비해 종(row)방향으로, 2배, 횡(column)방향으로 2.133배의 차이가 있다. 전화면 표시를 하기 위해서는 종방향에 대해서 아날로그 R, G, B 신호일 경우에는 VGA3 모드의 픽셀 클럭에 대하여 2배 속도의 샘플링이 필요하고, 디지털 R, G, B 신호일 경우에는 한

픽셀 데이터에 대해서 2번의 복사가 필요하다. (그림 10)에서 원래신호의 1번 픽셀에 해당하는 데이터에 대해서 실제 입력 데이터는 1.2번 픽셀이 된다. 이로써 한 라인에 640개의 픽셀로 구성되어 있는 신호를 1280개의 픽셀로 이루어진 새로운 SXGA급 신호를 만들 수 있다.



(그림 9) VGA3 모드의 해상도

또한 횡(column)방향에 대해서는 480개의 라인을 1024개의 라인으로 만들어 주기 위해서 다음과 같은 관계식을 이용한다.

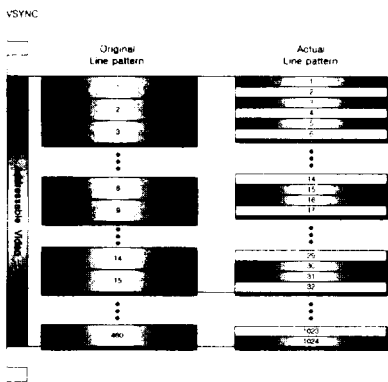
$$480 \times 2 + (960 \div 15) = 1024 \quad (7)$$

위 식처럼 매 라인 데이터 사이에 보간 알고리즘을

적용하되 15번째 라인마다 그 라인을 반복한 데이터를 표시한다. (그림 11)에서 실제 라인 패턴(actual line pattern)의 2번 라인은 원래 신호의 1번 라인에 해당하는 1번 라인과 원래 2번 라인에 해당하는 3번 라인을 보간하여 만든 라인이 된다. 이렇게 하면 960개의 라인을 만들 수 있는데, 1024 라인을 만들기 위하여 실제 15번째 라인마다 한 라인을 추가하여 총 64개의 라인이 추가되어 1024개의 라인을 만들 수가 있다. 그리고, <표 4>에 각 모드별 수평 및 수직 방향의 확장 방법이 있다.



(그림 10) VGA3 모드에서 종방향



(그림 11) VGA3 모드에서 횡방향

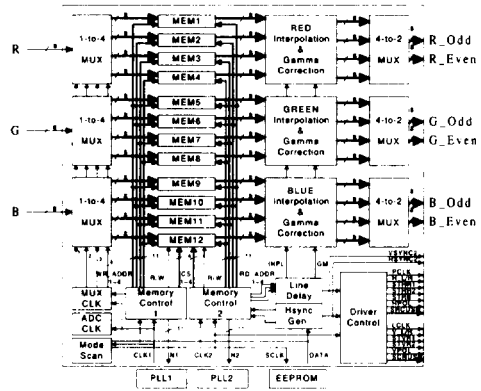
<표 4> 각 모드별 수평 수직 확장 방법

모드	해상도	수평축	수직라인
NTSC	320×240	4배	1라인당 3회 보간, 15라인마다 반복
VGA2	640×400	2배	2라인당 3회 보간, 41라인마다 반복
VGA3	640×480	2배	1라인당 1회 보간, 15라인마다 반복
SVGA	800×600	1.6배	2라인당 1회 보간, 7라인마다 반복
XGA	1024×768	1.25배	3라인당 1회 보간

3. 컨트롤러 시스템의 구조 및 특성

(그림 12)에 본 논문에서 제안한 범용 LCD 컨트롤러의 전체적인 구조를 나타내었다. 여기에는 1-to-4

MUX, 메모리부, 보간 블록, 4-to-2 MUX, 메모리 제어부, 라인 지연 블록, HSYNC2 발생기, 그리고 드라이버 제어 블록으로 구성되어 있다[7][8].



(그림 12) LCD 컨트롤러의 전체 블록도

3.1 1-to-4 MUX

컨트롤러의 입력이 24-bit의 데이터 폭을 갖는 디지털 R, G, B 신호이면, 진화면 표시를 위해서는 입력되는 비디오 모드에 상관없이 1280개의 픽셀을 메모리에 저장하기 위해서 이 MUX가 필요하다.

아날로그 R, G, B신호를 입력으로 할 때는 외부에 ADC를 연결하여 데이터를 입력받을 수 있도록, ADC에 필요한 신호도 ADCLK 블록에서 제공하고 있다.

3.2 메모리부

메모리는 320 bytes의 크기를 가진 듀얼 포트 메모리로 R, G, B 신호 각각에 4개씩 총 12개의 메모리로 이루어져 있다. 이것은 한 라인의 데이터를 저장할 수 있는 용량인데, 보간 기법을 적용하려면 적어도 2개 이상의 라인 데이터가 있어야 하기 때문에 복수개의 라인 메모리가 필요하다. NTSC 모드를 지원하기 때문에 이 모드의 해상도에 근거하여 최소 5개의 라인 메모리가 필요하다. 따라서 총 메모리 용량은 $320 \times 4 \times 3 \times 5 = 19.2$ Kbytes가 필요하다.

3.3 보간(Interpolation)블럭

본 연구에서 제안하는 Δ -Shaped 필터는 미디안 필터와 PMED (pseudo Median)필터를 변형한 필터로 에지 특성이 비교적 좋으면서 하드웨어를 간단히 구성할 수 있다[1][2]. 삼각형 모양의 부원도우 (a, c, e)에

수직 동기 신호 HSYNC를 카운트하여 다음 상태 천이 여부를 결정하게 된다. VESA에서 정해진 HSYNC의 카운트 값인 VBorder값이 현재까지 HSYNC 신호를 카운트한 CNT_HSYNC값과 일치하면 타이밍 제어부의 상태는 VPORCH에서 HPORCH로 천이가 된다. 이 상태부터는 VSYNC의 addressable video 구간이 되는 것이다. HPORCH 상태에서도 VPORCH 상태와 비슷하게 픽셀 클럭을 카운트한다. 그리하여 미리 정해진 픽셀 카운트 값이 HBorder 값과 픽셀 클럭을 카운트한 CNT_PXL 값과 일치하면 타이밍 제어부의 상태는 HPORCH 상태에서 MEM_WRT 상태로 천이 된다. 이 상태는 HSYNC의 addressable video 구간이 된다. 따라서 픽셀 데이터를 메모리에 저장하는데, 전 화면(full screen) 표시를 위하여 SXGA 모드보다 저해상도에서도 1280개의 픽셀 데이터를 저장해야 한다. 본 논문에서 설계한 controller는 동작 주파수를 낮추기 위하여 4개의 픽셀 데이터를 동시에 처리하기 때문에 메모리에 저장하는 횟수를 320번까지 카운트한다. 모든 픽셀 데이터가 메모리에 저장되면 타이밍 제어부의 상태는 MEM_WRT 상태에서 BLANK 상태로 천이 된다. BLANK상태에서는 그 다음 HSYNC 신호가 활성화될 때까지 이 상태를 유지한다.

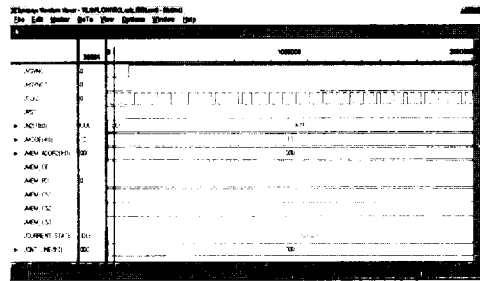
다음 HSYNC가 활성화되면 타이밍 제어부의 상태는 BLANK에서 다시 HPORCH 상태로 천이 된다. 그래서 이런 일련의 상태를 계속 순환하면서 메모리에 저장한 라인의 수를 CNT_LINE 값에 카운트한다. 그 값이 1024가 되면 타이밍 제어부의 상태는 BLANK에서 IDLE 상태로 천이 된다. 이 상태에서는 그 다음 화면의 시작을 알리는 수직 동기 신호 VSYNC가 활성화될 때까지 유지된다.

4.2 VHDL 시뮬레이션

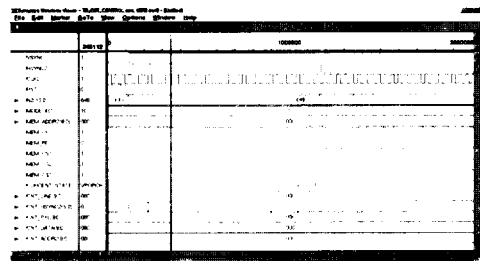
타이밍 제어부의 각 상태에 따른 동작 파형을 VGA3 (60Hz) 모드일 때로 가정하고 Synopsys VHDL Debugger 로 시뮬레이션 하였다.

4.3 로직 디자인

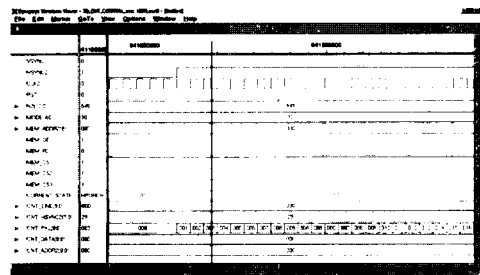
본 연구에서 설계한 타이밍 제어부를 Synopsys Design Analyzer를 이용하여 로직 합성을 하였다. 라이브러리는 LG 전자의 0.35μm 공정 기술을 이용하였으며, 타이밍 제어부는 총 13,400 게이트로 합성이 되었고, 메모리 부를 제외한 보간 필터부는 2,706 게이트가 소요되었다.



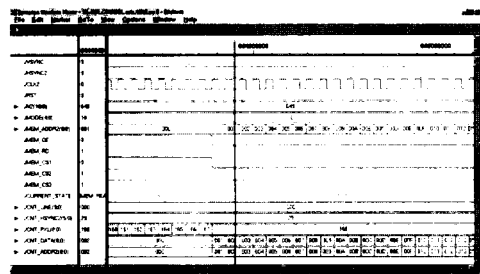
(그림 16 (a)) IDLE 상태



(그림 16 (b)) VPORCH 상태



(그림 16 (c)) HPORCH 상태



(그림 16 (d)) MEM_WRT 상태

5. 결 론

본 논문에서는 현재 대형화 및 고해상도화가 진행중

인 평판 디스플레이 분야에서 가장 많은 비중을 차지하는 TFT LCD 판넬을 위한 SXGA급 범용 LCD 컨트롤러를 설계하였다.

우선, SXGA급 해상도를 얻기 위해 필요한 130MHz대의 화소 클럭 주파수를 새로운 병렬 버스 구조를 제시하여 30MHz대의 주파수로 감소시켰다. 이로써 고주파수에 따른 system의 신뢰성(reliability)저하, 고비용, 고전력 소모 등과 같은 문제를 해결할 수 있다.

그리고, 기존 LCD 구동에서 저해상도 모드의 화면을 그대로 표시하는 방법을 개선하여 CRT 모니터 방식처럼 저해상도 모드의 화면을 LCD 화면 전체(SXGA급 해상도)로 확장하기 위한 화면 표시 방법을 연구하였고, 이에 따른 타이밍도에 대한 연구와 보간 알고리즘을 개발하였다.

끝으로 VHDL을 통하여 제안한 LCD 컨트롤러의 설계, 합성 및 시뮬레이션을 수행하여 그 결과가 설계한 타이밍도와 일치함을 확인하였다.

참 고 문 헌

- [1] J. A. Castellano, "Market & Technology Trends in the Global Flat Panel Display Market," Asia Display '98, Special Session pp.259-264, Oct 1998.
- [2] J. H. Souk, "Current Issues in Manufacturing 17 inch TFT-LCD Monitors," Asia Display '98, LCD Manufacturing/TFTs, pp.349-354, Oct 1998.
- [3] VESA Monitor Timing Standards version 1.0
- [4] M. Choi et al., "△-shaped interpolation algorithm for a-Si TFT LCD Display," Korea Symposium on Information pp.25-26, 1998.
- [5] R. E. Best, 'Phase-Locked Loops,' 3rd Ed, McGraw-Hill, 1997.
- [6] J. C. Russ, 'The Image Processing Handbook,' 2nd Ed., IEEE Press, 1995.
- [7] PW364D ImageProcessor, Pixelworks, Inc., 1998.
- [8] gm833x3 Data Sheet, Genesis Microchip, 1996.



박 병 기

e-mail : stefano@asic.hanyang.ac.kr
 1997년 한양대학교 제어계측공학과 졸업(학사)
 1999년 한양대학교 제어계측공학과 (공학석사)
 관심분야 : VLSI, 영상신호처리



최 철 호

e-mail : hbw@asic.hanyang.ac.kr
 1998년 한양대학교 제어계측공학과 졸업(학사)
 1998년 3월~현재한양대학교 제어계측공학과 석사과정
 관심분야 : ASIC, Low-Power/Low-Voltage Circuit Design, VLSI



박 진 성

e-mail : pjs@asic.hanyang.ac.kr
 1995년 한양대학교 제어계측공학과 졸업(학사)
 1997년 한양대학교 제어계측공학과 (공학석사)
 1997년 3월~현재 한양대학교 제어계측공학과 박사과정

관심분야 : ASIC, 저전력 반도체회로 설계



권 병 현

e-mail : bhkwon@green.yuhan.ac.kr
 1987년 한국항공대학교 전자공학과 졸업(학사)
 1989년 한국항공대학교 전자공학과 (공학석사)
 1995년 한국항공대학교 전자공학과 (공학박사)

1989년 1월~1997년 8월 LG전자(주) 멀티미디어 연구소 선임연구원

1997년 9월~현재 유한대학 정보통신과 전임강사
 관심분야 : 영상 신호 처리, 영상 통신



최 명 렬

e-mail : choimy@asic.hanyang.ac.kr

1983년 한양대학교 전자공학과 졸업(학사)

1985년 미시간주립대학교 컴퓨터공학과(공학석사)

1991년 미시간주립대학교 컴퓨터공학과(공학박사)

1991년 3월~10월 생산기술연구원 전자정보실용화센터 조교수

1991년 11월~1992년 8월 생산기술연구원산하 전자부품종합기술연구소 선임 연구원

1992년 9월~현재 한양대학교 제어계측공학과 부교수
관심분야 : ASICs, 신경회로망 칩 설계, 스마트카드 응용, μ P/DSP 응용, Wireless ATM, ITS