

광시각용 LED 전광판 제어 시스템 설계

이 수 범[†] · 남 상 길^{††} · 조 경 연^{†††} · 김 종 진^{††††}

요 약

멀티미디어가 널리 보급되면서 넓은 장소에서 다수의 사람에게 정보를 제공하기 위한 광시각 디스플레이 장치에 대한 요구가 증대되고 있다. 본 논문에서는 광시각용 LED 전광판을 제어하기 위한 시스템을 설계한다. 제어 시스템은 16 비트 마이크로프로세서 MC68EC000을 지원하며, 16라인 인터레이스 전광판 제어기, 메모리, 16 채널 우선 순위 인터럽트, 2 채널 DMA, 12 비트 2 채널 타이머, 적외선 리모콘 수신기, 16 바이트 FIFO를 가진 2 채널 RS-232C, IBM PS2 방식의 키보드 인터페이스, ISA 버스, watch-dog 타이머, battery 백업 기능의 실시간 시계와 256 바이트 SRAM 등의 기능을 포함한다. 주 회로는 저가격화, 고신뢰화, 고성능화, 소형화, 저전력소모 등을 고려하여 ASIC으로 구현한다. 설계한 ASIC은 시뮬레이션 검증용 하고 0.6um CMOS SOG로 제작하였다. 약 39,000 게이트가 소요되며, 동작주파수는 48MHz이다. 제작된 ASIC은 테스트 기판에 설치한다.

A Design of Large Area Viewing LED Panel Control System

Soo-Bom Lee[†] · Sang-Gill Nam^{††} · Gyoung-Youn Cho^{†††} · Jong-Jin Kim^{††††}

ABSTRACT

The wide spread of multimedia system demands a large area viewing display device which can inform a message to many people in open area. This paper is about the design of a large area viewing LED panel control system. The control system runs on 16 bit microprocessor MC68EC000 and has following functions: 16 line interlaced panel controller, memory, 16 channel priority interrupt, 2 channel direct memory access, 2 channel 12 bit clock and timer, 2 channel infrared remotecon receiver, 2 channel RS-232C with 16 byte FIFO, IBM PC/AT compatible keyboard interface, ISA bus, battery backedup real time clock, battery backedup 256 byte SRAM and watch dog timer. The core circuits are implemented to ASIC, considering lower cost, higher reliability, higher performance, smaller dimension, and lower power consumption. This is verified by simulation and fabricated in 0.6um CMOS SOG processes. The total gate count is 39,063 and the clock frequency is 48MHz. The fabricated ASIC is mounted on test board.

1. 서 론

정보화 사회의 발달에 따라서 정보의 양도 방대해

지고 또한 그 종류도 다양해졌다. 이에 다양한 정보를 통합하여 표현하는 멀티미디어가 대두되었다. 멀티미디어의 기본 개념은 원하는 장소에서 원하는 때에 원하는 정보를 공급하거나 얻을 수 있는 환경을 의미한다. 따라서 다양한 형태의 정보 전달 매체가 개발되게 되었다. 특히 디스플레이 장치는 대부분의 정보 전달이 인간의 시각적 기능을 통해서 이루어지므로 많은 연구가 이루어지고 있다[1].

* 이 연구는 반도체설계교육센터로부터의 부분적인 지원을 받은 것입니다.

† 준 회 원 : Autonics(주) 연구소 연구원

†† 준 회 원 : 부경대학교 대학원 공과대학 정보시스템학과

††† 정 회 원 : 부경대학교 공과대학 컴퓨터멀티미디어공학부 교수

††† 정 회 원 : 부경대학교 공과대학 전자공학과 교수

논문접수 : 1998년 9월 14일, 심사완료 : 1999년 3월 4일

이러한 디스플레이 장치는 가볍고 전력소모가 작아서 휴대하기 간편한 개인용, 사무실 등의 작업 환경에 적합한 고해상도와 작은 구경의 사무용, 해상도는 낮으나 구경이 크고 가격이 낮은 가정용, 그리고 많은 대중에게 동시에 정보를 전달하기 위한 광시각용으로 분류할 수 있다[2]. 광시각용 디스플레이는 다수의 사람들에게 여러 환경에서 다양한 정보제공이 가능한 것을 그 특징으로 하는 데, LED(Light Emitting Diode)를 사용하는 것과 여러 개의 CRT를 배열한 멀티비전의 두 가지 종류가 대표적이며, 이외에도 VFD(Vacuum Fluorescent Display), 백열 전구 혹은 LCLV(Liquid Crystal Light Valve)를 이용한 것 등이 있다.

LED는 1960년대에 개발된 이후로 스펙트럼 특성과 발광효율은 지난 20년동안 많은 진보를 거듭하여 왔다 [3]. LED는 소비 전력이 다소 높다는 단점을 가지고 있으나 응답 속도가 빠르고, 시야각이 넓으며, 가격이 낮은 장점을 가지고 있다. 최근까지 청색 계통의 LED는 광도도 낮고, 가격이 비싸서 full color 전광판을 만드는 것은 높은 가격이 요구되어 보급에 한계가 있었다. 그러나 적색과 황색 계통의 LED는 높은 광도와 낮은 가격으로 광시각용 옥내의 전광판에 폭 넓게 사용되고 있다.

이들 적·황색 광시각용 LED 전광판은 LED 소자 16×16개로 배열한 모듈을 가로, 세로로 나열하여 구성한다. 따라서 임의 크기의 전광판 제작이 용이하며 수평 픽셀이 200~300, 수직 픽셀이 50~150인 정도의 것이 많이 사용된다.

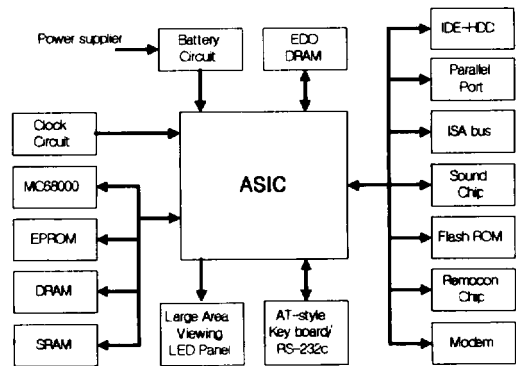
기존 전광판 제어는 PC의 비디오 제어기인 VGA[4]와 VGA 출력 신호를 광시각용 LED 전광판에 적합하게 변환하는 FPGA[5]를 사용하여 구성한다. 그런데 비디오 신호는 순차주사 방식으로 LED 전광판의 특성을 잘 활용하지 못한다. 즉 수직 픽셀 수가 많아지면 듀티비(duty ratio)가 낮아져서 광도가 낮아지거나, 이를 보상하기 위하여 과도한 전류를 소모하여 LED의 수명이 짧아지는 문제점을 가지고 있다.

이러한 문제점을 해결하기 위하여 본 논문에서는 전광판의 모듈의 수와 관계없이 16라인중 한 라인에 데이터를 항상 입력시켜서 동일시간에 16라인중 한 라인을 발광시키는 16라인 인터레이스(Interlace) 방식을 제안하고 설계한다. 그리고 사용자가 이용할 수 있는 다양한 기능의 서비스를 제공하기 위하여 모토로라의 16비트 마이크로프로세서인 MC68EC000[6]을 주 프

로세서로 하면서, 프로그램 수행을 위한 메모리, 16채널의 우선 순위 인터럽트, 고속 입출력 수행을 위한 2 채널 DMA, 실시간 제어를 위한 2채널 타이머, 적외선 리모콘 수신기, 고속 직렬 통신을 위하여 16바이트의 FIFO를 가진 2채널 RS-232C, IBM PC/AT 방식의 키보드, Battery 백업 기능의 실시간 시계, IBM-PC의 다양한 주변 기기를 접속하기 위한 ISA 버스, 전원이 없을 때 중요한 정보를 보존하기 위한 256 바이트 용량의 Battery 백업 SRAM, 시스템 오동작을 감시하는 watch-dog 타이머 등을 포함하는 광시각용 LED 전광판 제어 시스템을 설계한다.

전광판 제어 시스템의 핵심은 0.6 마이크론 CMOS 게이트 어레이방식의 ASIC으로 구현하고 SUN 워크스테이션상에서 Viewlogic의 ViewDraw로 설계한다. 약 39,000게이트가 소요되며, 160핀 PQFP(Plastic Quad Flat Package)를 사용한다. 설계된 ASIC은 ViewSim으로 시뮬레이션하여 동작을 검증한 뒤 삼성전자에서 칩을 생산하며 테스트 기판에 장착한다.

2. 광시각용 LED 전광판 제어 시스템의 구성



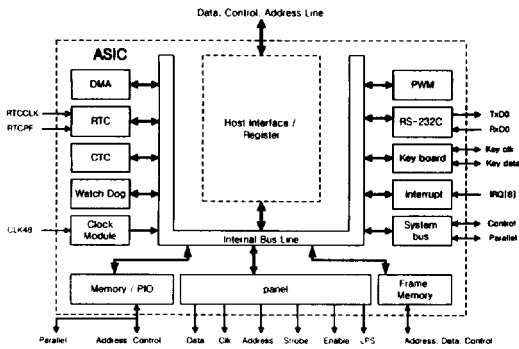
(그림 1) 광시각용 LED 전광판 제어 시스템 블록도

(그림 1)은 광시각용 LED 전광판 제어 시스템의 구성을 보인 것으로 시스템에서 중요한 부분인 프로그램 수행을 위한 메모리 제어기, 16 채널의 우선 순위 인터럽트 제어기, 고속 입출력 수행을 위한 2 채널 DMA 제어기, LED 전광판 제어기, 고속 직렬 통신을 위하여 16 바이트의 FIFO를 가진 2 채널 RS-232C 제어기, IBM PC/AT 방식의 키보드 제어기, Battery 백업 기능의 실시간 시계, 실시간 제어를 위한 2 채널

CTC, 적외선 리모콘 수신을 위한 펄스 폭 측정기, IBM-PC의 다양한 주변 기기를 접속하기 위한 ISA 버스 제어기, 전원이 없을 때 중요한 정보를 보존하기 위한 256 바이트 용량의 Battery 백업 SRAM, 시스템 오동작을 감시하는 watch-dog 타이머는 ASIC으로 설계한다. 그리고 주 프로세서인 모토로라사의 MC68EC000, ROM, SRAM, DRAM, 외부 입출력 단자, ISA 슬롯과 부수적인 Logic 등은 기판에 장치한다.

3. ASIC의 구조 및 설계

(그림 2)에서 광시각용 LED 전광판 제어 시스템에 사용될 ASIC의 전체 블록도를 보인다. 주 클럭은 프레임 메모리의 전송폭과 주 프로세서인 68000의 동작 주파수를 고려하여 48MHz로 설정하였다. 68000 클럭은 주 클럭을 삼분주하고 듀티비를 50:50으로 조정하여 생성한다. 전광판 클럭은 광시각용 LED 구성에 따라서 1.5MHz~12MHz로 프로그램 가능하도록 한다. 그러므로 최소 80×16 픽셀부터 640×480 픽셀의 구성까지를 자유롭게 설정할 수 있다.



(그림 2) ASIC의 전체 블록도

3.1 메모리 제어기

메모리 구성은 기본적으로 실행 프로그램 영역과 디스플레이할 데이터를 저장하는 화상 데이터 영역이 필요하다. 그리고, 동화상 데이터나 압축된 데이터를 복원하는 경우에는 대규모의 작업 메모리가 필요하다. 실행 프로그램 영역은 ROM으로 구현하며, 화상 데이터 영역은 비휘발성 기록가능 메모리가 되어야 하므로 ROM 형식의 플래시 메모리[7]를 사용하거나 IO PORT 형식의 플래시 메모리[8]를 사용하며, test의 경우 SRAM

을 사용할 수 있다. 따라서 ASIC은 2개의 ROM 영역을 제어해야 한다.

작업 메모리는 수백 K바이트 이상을 필요로 하므로 DRAM을 사용하도록 한다. 한편 프레임 메모리는 LED 픽셀당 1바이트가 필요하므로 메모리 전송폭에는 상당한 여유가 있다. 따라서 프레임 메모리와 작업 메모리를 공유할 수도 있다. 본 ASIC에서는 별도의 4M 바이트 공간을 작업 메모리로 할당하여 사용하며, <표 1>에 ASIC의 메모리 할당을 나타낸다.

<표 1> ASIC 메모리의 할당표

Address space	Assignment	System Bus
00000 ~ 1FFFFF	ROM bank 0	Active
20000 ~ 2FFFFFF	ROM bank 1/ Flash Memory/SRAM	Active
40000 ~ 40FFFF	ASIC internal	Non active
41000 ~ 41FFFF	Peripheral device 0	Active
42000 ~ 42FFFF	Peripheral device 1	Active
43000 ~ 43FFFF	Peripheral device 2	Active
44000 ~ 44FFFF	Peripheral device 3	Active
45000 ~ 45FFFF	Peripheral device 4	Active
46000 ~ 46FFFF	Peripheral device 5	Active
47000 ~ 47FFFF	Peripheral device 6	Active
48000 ~ 48FFFF	Peripheral device 7	Active
4C000 ~ 4FFFF	Equipment for ISA bus	Active
50000 ~ 7FFFFFF	Reserved	(Non) Active
80000 ~ 9FFFFFF	LED frame memory	Non active
A0000 ~ BFFFFFF	Reserved	(Non) Active
C0000 ~ FFFFFFF	Working memory	Non active

광시각용 LED 전광판 제어 시스템은 하드 디스크, CD 롬, 사운드 장치, IO PORT 형식의 플래시 메모리, 직렬 통신 모뎀, 전원 장치 제어기 등의 주변 기기가 필요하다. 이들 주변 기기의 인터페이스를 위하여 최대 8개의 주변 장치를 선택할 수 있도록 peripheral device 0 - 7을 설정한다. 한편 ISA 버스는 10 비트의 어드레스 공간을 사용하는데 대부분의 ISA 버스용 장치들은 어드레스 디코더 회로를 내장하고 있다. 그러므로 이들 ISA 버스용 장치들과의 인터페이스를 위해

서는 별도의 리드, 라이트 제어 신호가 필요하다. 이를 위하여 어드레스 공간 4C0000~4FFFFFF를 할당하여서 ISA 버스 호환의 리드, 라이트 신호를 생성하는 기능을 갖도록 설계한다.

3.2 DMA 제어기

광시각용 LED 전광판 제어 시스템의 화상 표시 데이터는 빠른 속도로 변화하는 것을 필요로 한다. 전광판의 설치 장소가 사람들의 왕래가 많은 지역으로 짧은 시간내에 정보를 전달하기 위해서는 화면의 변화 속도가 빨라야 되며, 이것은 대규모 화상 데이터를 필요로 한다. 화상 데이터의 크기가 대단히 크면 이를 하드디스크나 CD 롬 등의 보조 기억 장치에 저장해야 한다. 특히 음성 데이터와 화상 데이터를 동시에 처리하는 멀티미디어 데이터의 경우에는 이들 사이에 동기를 맞추는 것이 중요하다.

음성 데이터와 화상 데이터 처리의 동기를 맞추기 위해서 이들 데이터를 하나의 스트림으로 통합하는 방법과 별도의 스트림으로 처리하면서 버퍼링을 사용하여 전송 및 처리 속도의 동기를 유지하는 방법이 있다. 이들 방법은 각각의 장단점이 있는데, 본 제어 시스템은 이들 방식을 응용에 따라서 모두 사용한다.

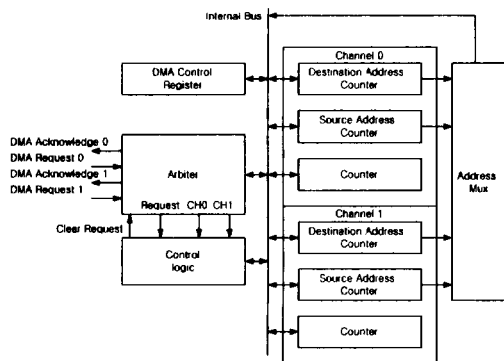
ASIC에서는 버퍼링을 지원하기 위하여 DMA[9] 전송 종료시에 어드레스와 카운터 값을 선택적으로 재적납하는 기능을 갖도록 설계한다. 이러한 기능을 사용하여 비교적 간단하게 버퍼링을 구현할 수 있다. (그림 3)은 DMA 제어기의 블록도이며 <표 2>에 ASIC의 DMA 채널 0의 제어 레지스터 구성을 보인다.

<표 2> DMA 채널 0 레지스터

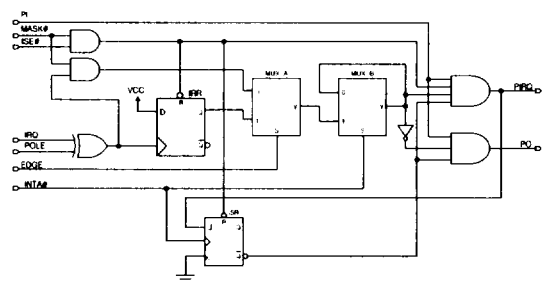
Register 20 : DMA CH 0 Control Register
 bit 15 = Enable CH 0 DMA. Automatically clear at end of DMA
 bit 14-13 = DMA mode
 0x : single transfer
 10 : repeat with counter reloading
 11 : repeat with counter and address reloading
 bit 12-11 = CH 0 Source address direction
 00 : no change 01 : no change
 10 : increment 11 : decrement
 bit 10- 9 = CH 0 Destination address direction
 00 : no change 01 : no change
 10 : increment 11 : decrement
 bit 8 = DMA data bus width
 0 : 16 bit 1 : 8 bit
 bit 7- 0 = CH 0 DMA Counter upper. C23-C16
 Reading this register latches Register-28
 Register 22 : DMA CH 0 Upper Address Register
 bit 15- 8 = CH 0 DMA source upper address. A23-A16
 bit 7- 0 = CH 0 DMA destination upper address. A23-A16
 Register 24 : DMA CH 0 Source address Register
 bit 15- 0 = A15-A0. At 16 bit width, A0 is ignored
 Register 26 : DMA CH 0 Destination address Register
 bit 15- 0 = A15-A0. At 16 bit width, A0 is ignored
 Register 28 : DMA CH 0 Counter LSB Register
 bit 15- 0 = DMA Counter address. C15-C0

3.3 우선순위 인터럽트 제어기

인터럽트 제어기는 주변회로에서 요구하는 인터럽트 요청 신호를 받아서 우선 순위를 결정하여 CPU에게 인터럽트를 요구하고, CPU의 인터럽트 인자 머신 사이클에서 인터럽트 벡터를 발생시키는 기능을 수행한다. 우선순위 인터럽트 제어기는 16 채널의 인터럽트를 관리하므로 (그림 4)의 인터럽트 채널 제어기 16개를 페이지 체인으로 연결하여 구성한다.



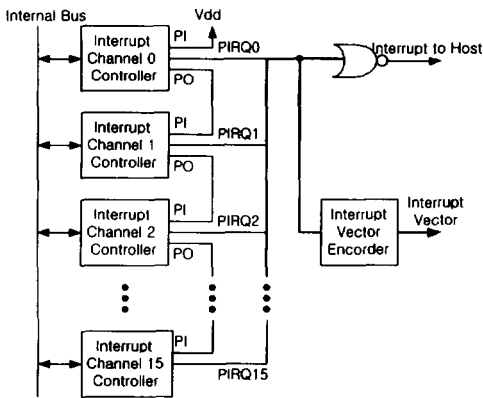
(그림 3) DMA 제어기의 블록도



(그림 4) 인터럽트 채널 제어기

(그림 4)에서 MASK#은 채널의 인터럽트를 불능상태로 만드는 신호로 이것이 활성화되면 인터럽트 요청 신호를 무시한다. ISE#은 인터럽트 서비스 종료를 나

타내며 통상 비활성 상태이다. IRQ는 인터럽트 요구 신호로 POLE 상태에 따라 활성 상태의 레벨이 결정된다. IRQ가 비활성 상태에서 활성 상태로 바뀌면 인터럽트 요구 레지스터 IRR의 출력이 '1'로 된다. EDGE는 MUX-A에 의하여 에지 인터럽트와 레벨 인터럽트를 선택한다. MUX-A 출력이 활성화되면 통상적으로는 INTA#이 비활성인 '1' 상태이므로 MUX-B의 출력은 활성화되어 데이터 체인에 의하여 우선순위를 결정하면서, CPU에게 인터럽트를 요구한다. 인터럽트 인지 머신 사이클에서는 INTA#이 활성화되어 '0' 상태로 되므로 MUX-B 출력은 전상태를 유지하므로 데이터체인 우선 순위 지연에 따른 문제점을 방지한다. 인터럽트 인지 머신 사이클이 끝나면 INTA#이 '0' 상태에서 '1' 상태로 진행하고, 인터럽트 서비스 레지스터 ISR이 '1' 상태로 된다. ISR이 '1' 상태에서는 새로운 인터럽트 요구가 들어와도 PIRQ 출력이 발생하지 않으므로 동일한 인터럽트가 연속하여 요구되는 현상을 방지한다. 또한 PO가 항상 '0'이 되므로 현재 서비스하는 채널보다 낮은 우선순위의 인터럽트 요구를 금지시킨다. CPU가 인터럽트 서비스를 끝내면 ISE#을 펄스 형태로 활성화시켜서 IRR과 ISR을 클리어시킨다.



(그림 5) 데이터 체인 방식의 우선순위 인터럽트

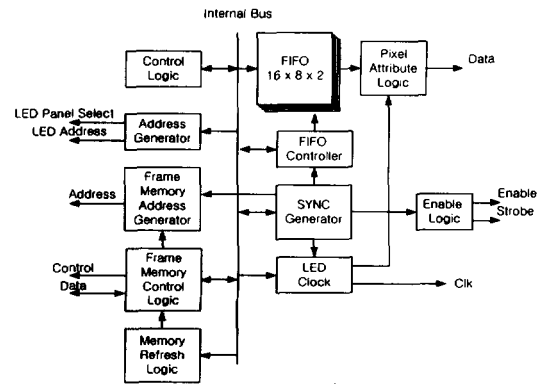
(그림 5)에서 PI와 PO는 데이터 체인 입력과 출력으로 PI는 우선순위가 높은 채널의 PO에, PO는 우선순위가 낮은 채널의 PI에 각각 연결한다. PIRQ는 우선순위 인터럽트 출력으로 해당 채널이 인터럽트를 요구한 채널중에서 가장 우선순위가 높을 때 활성화된다.

각 채널 제어기에서 출력된 PIRQ 중에서 어느 하나가 활성화되면 CPU에 인터럽트를 요구하며, 이들 PIRQ를 인코드하여 인터럽트 벡터를 생성한다.

인터럽트의 우선순위가 내부에서만 높게 사용될 경우 외부 인터럽트가 제한되므로 외부에서도 높은 순위를 가지도록 할당한다.

3.4 16라인 인터레이스방식의 전광판 제어기

광시각용 LED 모듈은 16라인으로 구성되어 있으며, 어느 한 순간에는 하나의 라인만이 점등할 수 있다. 따라서 최대 밝기를 유지하면서 최소한의 전류를 소모하기 위해서는 모듈 구성에 상관없이 듀티비를 16:1로 유지해야 한다. 이를 위해서 LED 프레임을 16라인 단위로 인터레이스 하게 설계하며, (그림 6)에 전광판 제어와 프레임 메모리 제어 회로의 블록도를 보인다.



(그림 6) 전광판 제어기와 프레임 메모리 제어기의 블록도

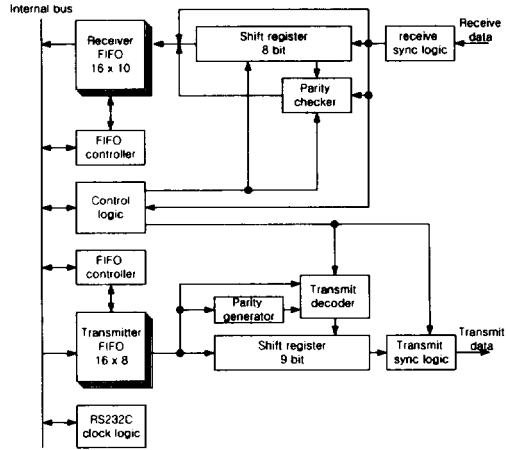
LED 클럭 발생기에서는 주 클럭인 48MHz를 분주하여 전광판 구성에 따라서 1.5MHz, 3MHz, 6MHz 또는 12MHz의 클럭과 blinking을 위한 5Hz, 2.5Hz, 1.25Hz, 0.625Hz 클럭을 발생시킨다. 동기 발생기는 16라인 인터레이스로 수평 동기와 수직 동기 신호를 발생시킨다. 각 동기 신호의 주기는 전광판 구성에 따라서 자유로이 변경할 수 있도록 프로그램 가능하게 설계한다. 발생된 동기 신호에 의하여 Enable 로직은 전광판을 발광시키는 Enable 신호와 Data를 latch시킬 Strobe 신호를 제어하고 어드레스 발생기는 전광판을 선택할 선택 신호로 LPS(LED panel Select)와 모듈의

16라인중 1라인을 선택하는 LED Address신호를 생성한다. 프레임 메모리 어드레스 발생기에서는 프레임 메모리 어드레스를 생성한다. 프레임 메모리 할당은 메모리 공간중에서 일정한 영역을 프레임 공간으로 설정하고, 설정한 프레임 공간 내에서 윈도우를 설정하여 리프레시하도록 설계한다. 이러한 설계에 의하여 하드웨어에 의한 수직 스크롤이 가능하다. 또한 발생된 동기 신호는 FIFO 제어기로 입력되어 리프레시 데이터를 프레임 메모리로부터 전송받는데 필요한 신호를 생성한다. FIFO 제어기에서는 수평 리프레시가 비활성화되면 다음 수평 라인의 리프레시될 8비트 프레임 데이터를 16개 단위로 순차적으로 FIFO에 격납한다. 그리고 동기 발생기에서는 수평 리프레시 시작 이전 16 픽셀 위치에서 수평 백 포치 신호를 발생한다. FIFO 제어기에서는 수평 백 포치 시점 N 픽셀이후부터 FIFO의 데이터를 모듈로 전송한다. 그러나 실제적으로 데이터가 출력되는 것은 수평 리프레시가 활성화된 이후이므로 백 포치 기간중에 전송된 데이터는 소실된다. 이러한 동작을 통하여 화상의 하드웨어 수평 스크롤을 구현한다. 픽셀 속성 로직은 프레임 Data를 Blinking과 컬러 Data를 임의값에 EXOR 패턴 처리를 한다.

FIFO 크기는 프레임 메모리의 전송폭을 고려하여 설계며, 전광판의 리프레시 데이터 전송폭은 LED 클럭이 최대 12MHz에서도 12MBps이므로 크지 않다. 그러나 프레임 메모리를 작업 메모리로 사용하는 경우 CPU의 전송폭을 고려하여 16×16 bit로 설계한다.

3.5 RS-232C 제어기

LED 전광판에서 약기음을 연주하는 경우에는 미디 인터페이스가 필요하다. 미디 인터페이스는 31.25Kbps의 전송 속도를 가지며, 비동기 통신의 프레임 포맷 형태로 하나의 시작 비트와 하나의 스톱 비트를 포함하여 한 바이트 전송에 320μsec가 소요된다. 또한 미디 데이터는 최대 수 K 바이트를 연속해서 전송해야 하므로 프로그램에 의한 폴링 기법으로는 충분한 효율을 얻을 수 없다. 이러한 문제점을 해결하기 위하여 16 바이트의 FIFO를 가진 RS-232C 제어기를 설계하며 (그림 7)에 나타낸다. 16 바이트 FIFO 모두를 전송하는 데는 5.12msec가 소요되며, FIFO의 일정 수위에서 인터럽트를 요구하도록하여 효율적인 관리를 가능하게 한다.



(그림 7) RS-232C 제어 블록도

3.6 Battery 백업 회로

LED 전광판 제어 ASIC에서는 정전 및 정상동작시에도 정확한 시간 관리가 필요하다. battery 백업 실시간 시계는 달력 기능을 가져서 큰 달과 작은 달을 구분하며, 또한 윤년과 평년을 구분하여 월일을 계산한다. ASIC 유효사용기간을 고려하여 1901에서 2099년까지 사용기간을 제한하며, 비동기 입력이 가능한 UP 카운트로 설계한다.

또한 정전시 구성 데이터등 소규모의 중요한 데이터를 전원이 없을 때도 기억하기 위하여 Battery 백업 256 바이트의 SRAM을 내장한다. Battery는 3.6V Li Battery를 사용한다. Li Battery는 방전 특성이 우수하나 전력 용량이 작아서 최대 사용 전류를 50μA 이하로 유지하는 것이 필요하다. 이를 위하여 전원이 없을 때에 모든 출력 핀은 고 임피던스 상태로 설정하며, 모든 입력 핀은 풀 다운 저항 패드를 사용하고, 활성 논리에 따라서 비활성 상태로 변환하기 위한 회로를 설계하여 모든 입력을 비활성 상태로 만든다.

주 클럭도 전원이 없을 때는 한가지 상태로 고정하였다. 그런데 68000은 동기 회로로 리세트시에 클럭이 입력되어야 한다. 따라서 전원이 인가될 때 256 클럭 동안 리세트를 연장하는 회로를 부가하여 문제를 해결한다.

3.7 기타 주변회로 제어기

리모콘 수신기는 펄스 폭 카운터와 리모콘 인터럽트를 연계하여 구성한다. 적외선 리모콘은 펄스 변조를

사용하며 '0' 비트는 1.125msec, '1' 비트는 2.25msec 펄스로 부호화된다. 따라서 리모콘 출력의 에지에서 인터럽트를 요구하고, 에지간의 펄스 간격을 측정하는 펄스 폭 카운터를 인터럽트 서비스 프로그램에서 관리하므로써 리모콘 수신기를 구현한다.

CTC는 주기적으로 인터럽트를 요구하여 응용 프로그램에 시간 기준을 제공한다. 음성과 화상 데이터를 처리하기 위해서는 정밀도가 높은 타이머가 필요하여 타이머의 정밀도를 12비트로 설계한다. 그리고 넓은 범위의 주기를 설정하기 위하여 각 타이머는 독립적인 프리 스케일러를 가지고 10usec, 100usec, 1msec, 10msec의 기본 클럭을 사용할 수 있게 한다.

Watch Dog 타이머는 68000에서 발생하는 AS# (Address Strobe) 신호를 감시한다. AS# 신호는 모든 머신 사이클에서 활성화가 되며, 머신 사이클 종료시에 비활성화 된다. 따라서 일정한 시간 동안 AS# 신호에 변화가 없으면 68000이 오동작하는 것이다. 이러한 상태를 감지하기 위하여 Watch dog 타이머는 512 clock 이후에도 AS# 신호의 변화가 없으면 시스템에 리셋 신호를 발생시키고 watch dog 프래그를 세트하여 시스템 오류를 알려주도록 설계한다.

키보드 인터페이스 회로는 IBM PC/AT의 직렬 키보드 인터페이스 규격과 일치하도록 설계한다. 또한 외부 버스에 필요한 명령 신호와 대기 사이클을 관리하는 버스 제어기, 단순한 주변 기기를 연결하기 위한 24 비트의 범용 입출력 포트를 설계한다.

4. ASIC 시뮬레이션의 예 및 사양

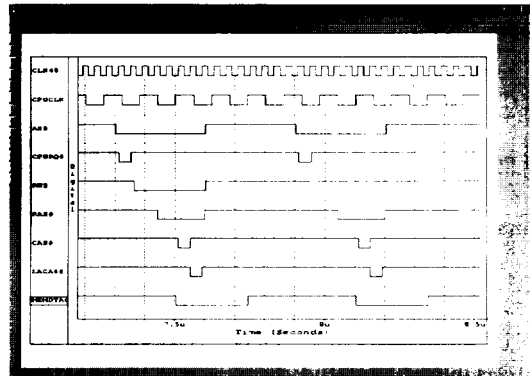
제안된 ASIC은 라이브러리로 삼성전자 SOG 공정의 KG75000를 이용하며, 실제 프로그램으로 Viewlogic의 ViewDraw를 사용한다. 삼성전자에서 제공한 SADAS (Samsung ASIC Design Automation System)로 KG75000 라이브러리에 맞는 반도체 설계 규격을 검증하고 ViewSim에서 이용할 지연파일을 생성하여 블록 별로 ViewSim을 이용 시뮬레이션하고 파형을 검사한다. 시뮬레이션시 사용될 TEST vector는 ViewSim에 사용되는 명령을 이용한 스크립트로 작성한다. 시뮬레이션 결과의 예로서 몇 가지를 ViewSim에서 출력하여 제시한다.

(그림 8)은 68000 CPU가 프레임 메모리의 읽기와 쓰기를 시도할 경우나 작업 메모리로 사용할 경우를

가정하여 ASIC 입력핀에 CPU에서 발생하는 메모리 영역의 주소신호와 제어신호를 인가하는 형식으로 테스트 벡터를 작성한 뒤 시뮬레이션하여 출력한 파형이다.

68000 CPU가 읽기를 시도할 경우 CPU에서 발생하는 제어 신호를 이용 CPURQ#(CPU Request) 신호가 발생된다. 설계된 회로는 삼성전자의 50ns EDO-DRAM을 사용한다. 따라서 CPURQ# 신호 후 RAS# 신호와 CAS# 신호는 RAS precharge 시간과 CAS# 신호의 최소 시간을 활용할 수 있도록 48MHz에 동기된다. 16비트 램이 사용되므로 CAS# 신호는 한번의 동작만으로 가능하다. 램으로부터 읽어온 데이터를 CPU가 읽기 위해서 LACAS# 신호를 사용되며 ASIC안의 Latch에 데이터를 Latch하고, 이후 저장된 데이터를 MEMDTACK# (Memory DTACK) 신호를 받은 CPU가 읽을 수 있다.

시뮬레이션 파형을 보면 48MHz에서 분주된 16MHz의 CPUCLK이 정상적으로 분주되는 것과 CPU가 프레임 메모리를 작업 메모리로 사용할 때 메모리 접근에 따라서 RAS#과 CAS#이 정상적으로 동작하는 것, 그리고 MEMDTACK# 신호가 정상적으로 발생됨을 확인한다.

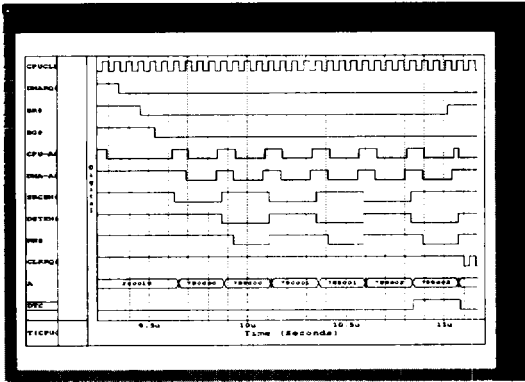


(그림 8) CPU의 프레임 메모리 접근

DMA동작을 구현을 위해서는 CPU를 정지시키고 CPU와 같은 타이밍 동작을 하는 DMA 제어기가 되어야 한다. DMA 요구가 검출되면 CPU의 버스 사용을 알리는 BR#(Bus Request)를 DMA 제어기가 CPU에게 보낸다. CPU는 BG#(Bus Grant) 신호로 현재 버스 사이클의 종료지점에서 버스 제어를 양도함을 알리고 DMA제어기는 CPU의 AS# 신호를 검사하여 종료지점을 검사한다. 버스 제어를 획득한 DMA제어기는 먼저

소스 주소(Source address)에 자료를 읽어 목적지 주소(Destination address)에 저장하는 동작을 정해진 횟수만큼 반복한다. 이후 CLRREQ#(Clear Request) 신호는 사이클 종료를 중재기에 보냄으로써 중재기를 초기화시킨다.

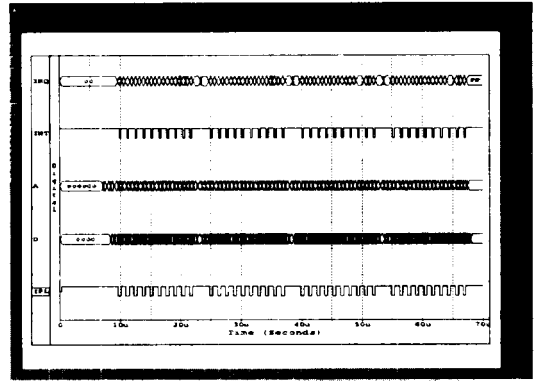
(그림 9)의 DMA 제어 시뮬레이션 파형에서는 소스 주소인 f0000번지에서 f0002번지의 내용을 목적지 주소 f1000번지에서 f1002번지로 전송하는 경우로서 ASIC 레지스터에 해당 값을 넣고 DMA 요구 신호를 인가한 뒤 버스 제어권을 인계하는 과정의 테스트 벡터를 작성하여 시뮬레이션하여 나타난 파형이다. 소스 주소 f0000번지에서 목적지 주소 f1000번지로 각 주소가 증가하면서 내용을 읽고 쓰는 동작을 3회에 걸쳐 제어신호가 발생됨을 확인한다. 여기서 주소가 780000으로 시작하는 것은 A0 bit를 무시하기 때문에 화면에 표시되면서 나타난 현상이다.



(그림 9) DMA 제어 시뮬레이션 파형

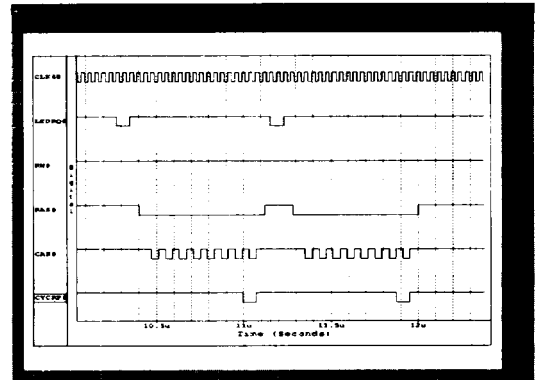
(그림 10)의 인터럽트 시뮬레이션 파형은 다수의 인터럽트 입력에 대해서 우선순위 별로 인터럽트 채널의 서비스 종료하는 과정을 시뮬레이션한 출력파형이다. 시뮬레이션 벡터는 처음 인터럽트가 MASK# 신호에 의해 인터럽트 재공능 상태에서 시작한다. ASIC 입력편에 CPU가 ASIC 인터럽터 레지스터의 주소신호와 적용될 데이터신호 그리고 제어신호를 인가하는 형식으로 작성된 시뮬레이션 벡터는 각 인터럽터 채널은 모두 인터럽트를 요구하며, CPU는 우선순위에 의해서 인터럽트를 하나씩 허용하도록 작성된다. 또 인터럽트 요구가 있으면 서비스를 제공하고 종료하는 작업을 계속적으로 반복하고 인터럽트 요구 신호의 극성 상태에

따라서 또 에지와 레벨 인터럽트의 조건을 검사하도록 작성한다. 이러한 조건하에서 각 인터럽트 채널이 정상 동작여부를 IPL# 출력 신호가 정해진 시점에서 변화됨을 확인한다.



(그림 10) 인터럽트 시뮬레이션 파형

(그림 11)과 (그림 12)는 프로그램운영의 준비가 끝난 상태에서 전광판 구성이 128×32 픽셀이고, 12MHz의 LED 클럭인 경우를 지정한 뒤 전광판 출력을 허용할 때 시뮬레이션한 출력파형이다.

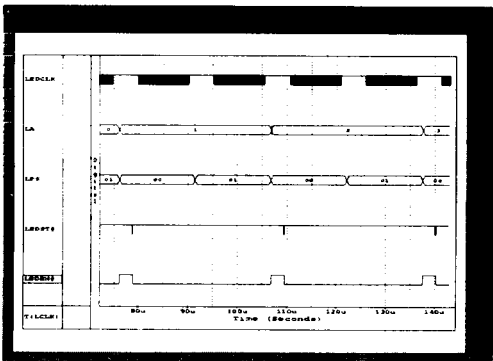


(그림 11) 전광판 제어기의 프레임 메모리 읽기

(그림 11)은 전광판 제어기가 프레임 메모리의 읽기를 시도할 경우이며, FIFO 제어기는 LEDRQ#(LED Request) 신호로서 프레임 메모리 제어기에 데이터를 요구한다. 프레임 메모리 제어기는 이 신호를 이용하여 프레임 메모리에 공급되어야 할 프레임 어드레스를 설정된 값을 이용 생성하고 순차적으로 FIFO에

전송하기위한 CAS# 신호를 1회당 8번씩 정해진 간격으로 발생한다. 또한 초기에 이러한 동작이 짧은 시간에 2회 연속적으로 동작되어 전광판 제어기의 FIFO에 모두 데이터가 격납된다. 이후 시간이 지남에 따라서 이러한 동작은 계속 반복되지만 짧은 시간에 2회 연속적으로 동작하지는 않는다. 시뮬레이션 결과의 파형으로 초기 2회 연속 동작되는 제어신호를 확인한다.

전광판 제어 시스템은 전광판 구성에 따른 2개의 전광판 선택 신호와 128×32개의 동기 클럭을 생성해야한다. 전광판은 1모듈 당 1라인의 시프트 레지스터를 가지고 동기 클럭에 의해 데이터는 시프트되며, Latch에 저장을 지시하는 Strobe 신호에 의해 Latch 된다. 그리고 Latch된 데이터는 16라인중 1라인의 지시와 발광을 허용하는 신호에 의해 발광에 사용한다.

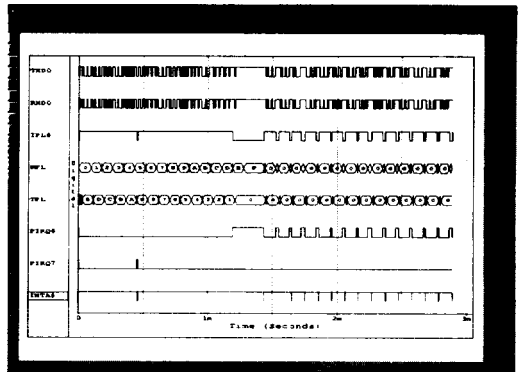


(그림 12) 전광판 제어 시뮬레이션 파형

(그림 12)에서 전광판 제어 시스템은 전광판 구성에 따른 2개의 전광판 선택 신호(LPS)와 128×32개의 동기 클럭(LEDCLK)가 발생됨을 확인한다. 전광판은 1모듈 당 1라인의 시프트 레지스터를 가지고 동기 클럭에 의해 데이터는 시프트 된다. 동기 클럭이 발생된후 Latch에 저장을 지시하는 Strobe 신호에 의해 Latch되는데 Strobe 신호인 LEDST#이 발생됨을 확인한다. 그리고 Latch된 데이터는 16라인중 1라인의 지시와 발광을 허용하는 신호에 의해 발광에 사용하는데 전광판 라인을 선택하는 LA 신호와 발광을 허용하는 LEDEN# 신호가 발생됨을 확인한다.

(그림 13)은 송신라인과 수신라인을 Loop한 후 시뮬레이션 벡터에 송신할 데이터를 ASIC의 RS-232C

레지스터에 연속해서 저장하고 stop 비트, 데이터 폭, 패리티, 송수신 FIFO의 수위, 그리고 전송속도 등의 변수설정과 송수신의 상태를 활성화 되도록 작성한 뒤 이 후 변수들을 바꾸어 가면서 전송하는 경우의 시뮬레이션 파형이다. RS-232C 제어기의 FIFO에 저장된 데이터가 송신 지시에 의해서 출력되는 것과 송수신 FIFO 레벨이 순서대로 감소하거나 증가하는 것, 송신 파형이 설정된 형태로 전송되는 것, 그리고 설정된 송수신 FIFO의 수위에 대하여 인터럽트가 발생하는 것을 확인한다.

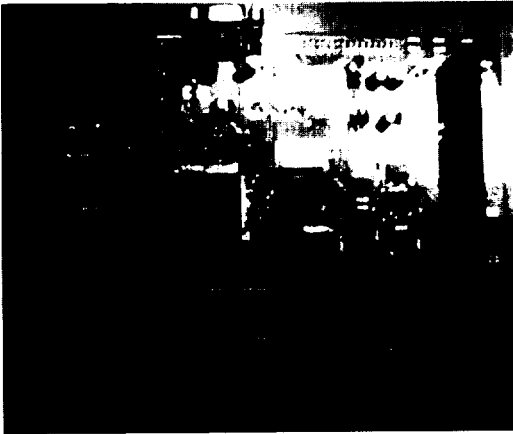


(그림 13) RS-232C 시뮬레이션 파형

설계된 ASIC은 삼성전자에서 0.6um CMOS 게이트 어레이 공정으로 제작한다. 제작 사양을 <표 4>에 간략하게 나타내고 실험용 기판에 장착된 것은 (그림 14)와 같다.

<표 4> LPC ASIC 사양

Design Program	View Draw
Design Method	Schematic
Package	160 pin PQFP
Technology	0.6 um CMOS SOG
Gate Count	39083
Number of input pin	9
Number of output pin	40
Number of bidir. pin	85
Number of Vdd supply	9
Number of Vss supply	17
Base Array	kg7204_d10
Operating frequency	48MHz



(그림 14) 실험 기판

5. 결 론

실내외에서 동시에 다수의 사람에게 정보를 전달하기 위하여 광시각용 LED 전광판이 많이 이용된다. 이때 사용되는 기존 전광판 제어 시스템은 순차주사방식으로서 LED 구성에 따라 듀티비가 변하여 LED의 광도와 수명에 영향을 주는 문제점을 가지고 있으며, 사용자의 다양한 서비스요구를 충족시키기 위해서 몇 가지의 기능을 지원하는 IC들을 조합하여 구현된다. 이러한 방식을 개선하기 위해서 광시각용 LED 전광판 구성과 독립적으로 듀티 비를 항상 16:1로 고정시켜 광도와 수명사이의 영향을 해결하는 방식을 도입하고 사용자가 이용할 수 있는 다양한 기능의 서비스를 제공하는 제어회로를 하나의 IC로 구현시킨 광시각용 LED 전광판 제어 시스템을 설계하였다.

제어 시스템의 핵심부분인 메모리 제어기, 16채널의 우선 순위 인터럽트 제어기, 고속 입출력 수행을 위한 2채널 DMA 제어기, 16라인 인터레이스 주사방식의 전광판 제어기, 고속 직렬 통신을 위하여 16바이트의 FIFO를 가진 2채널 RS-232C 제어기, IBM PC/AT 방식의 키보드 제어기, Battery 백업 기능의 실시간 시계, 실시간 제어를 위한 2채널 CTC, 적외선 리모콘 수신을 위한 펄스 폭 측정기, IBM-PC의 다양한 주변 기기를 접속하기 위한 ISA 버스 제어기, 전원이 없을 때 중요한 정보를 보존하기 위한 256바이트 용량의 Battery 백업 SRAM, 시스템 오동작을 감시하는 Watch-dog 타이머등의 제어회로를 SUN 워크스테이션상에서

Viewlogic의 ViewDraw를 이용하여 0.6 μ m CMOS 게이트 어레이의 ASIC으로 구현하고 ViewSim으로 시뮬레이션하였다. 약 39,000 게이트가 소요되며, 160핀 PQFP (Plastic Quad Flat Package)로 제작하였다.

따라서 본 논문에서 설계한 시스템은 시스템 제어부와 전광판 제어부를 한 개의 ASIC 칩을 이용하여 구성하므로 광시각용 LED 광도를 일정하게 유지하여 수명을 연장하는 것이 가능하고 기존 회로에 비하여 부품의 수를 감소시켜 경제적으로 구현되기 때문에 폭넓은 활용이 기대된다.

참 고 문 헌

- [1] 이채우, "전자 DISPLAY 기술 동향", 전자공학회지, 제22권 제3호, pp.23-30, Mar. 1995.
- [2] "Competitive Display Technologies," 6th Ed., Stanford Resources, pp.61-80, 1994.
- [3] 권오경, "Flat Panel Display를 위한 구동방식 및 구동회로", 전자공학회지, 제22호 제3호, pp.92-105, Mar. 1995.
- [4] "ViRGE Integrated 3D Accelerator," S3 Inc., Feb. 1996.
- [5] Abbas El Gamal, "An Architecture for Electrically Configurable Gate Arrays," IEEE Journal of Solid-State Circuits, Vol.24, No.3, pp.394-398, Apr. 1989.
- [6] "MC68000 Microprocessors User's Manual," 6th Ed., Motorola, 1989.
- [7] "Flash Memory," Vol.1, Intel, 1994.
- [8] "Flash Memory," Samsung Electronics, 1996.

이 수 범

e-mail : soobom22@hitel.net

1997년 부경대학교 공과대학 전기
공학과(공학사)

1997년~1999년 부경대학교 대학
원 전자공학과(공학석사)

1999년~현재 Autonics 연구소 연
구원

관심분야 : 컴퓨터 구조, VLSI, ASIC, Sensor

남 상 길

1997년 동서대학교 컴퓨터공학과(공학사)
 1997년~1999년 부경대학교 대학원 정보시스템학과(공학석사)
 관심분야 : 암호학, ASIC



조 경 연

e-mail : gycho@dolphin.pknu.ac.kr
 1990년 인하대학교 공과대학 전자공학과 정보공학전공(공학박사)
 1983년~1991년 삼보컴퓨터 기술연구소 책임연구원

1991년~현재 부경대학교 공과대학 컴퓨터멀티미디어 공학부 부교수

1991년~현재 삼보컴퓨터 기술연구소 비상임 기술고문

1993년~현재 아시아디자인(주) 비상임 기술고문

1995년~현재 대흥전자(주) 비상임 기술고문

관심분야 : 전자계산기구조, ASIC 회로 설계, ASIC memory

김 종 진



e-mail : kimjj@pine.pknu.ac.kr
 1983년 경북대학교 공과대학 전자공학과 (공학사)
 1985년 한국과학기술원 전기 및 전자공학과 (공학석사)
 1995년 경북대학교 대학원 전자공학과 (공학박사)

1985년~ 1987년 한국전기통신공사 전임연구원

1987년~현재 부경대학교 공과대학 전자공학과 부교수

관심분야 : 컴퓨터구조, 병렬분산처리, 상호접속망